

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Docket No.: 492322017100  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Kanji OTSUKA et al.

Application No.: 10/781,942

Confirmation No.:

Filed: February 20, 2004

Art Unit: 2817

For: ELECTRONIC CIRCUIT DEVICE

Examiner: Not Yet Assigned

**SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT**

MS Assignment Recordation Services  
Director of the US Patent and Trademark Office  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-045422	February 24, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: June 21, 2004

Respectfully submitted,

By 

Barry E. Bretschneider

Registration No.: 28,055  
MORRISON & FOERSTER LLP  
1650 Tysons Blvd, Suite 300  
McLean, Virginia 22102  
(703) 760-7743

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月24日

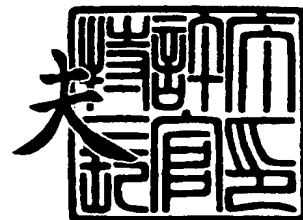
出願番号  
Application Number: 特願2003-045422  
[ST. 10/C]: [JP 2003-045422]

出願人  
Applicant(s): 大塚 寛治  
宇佐美 保  
三洋電機株式会社  
沖電気工業株式会社  
シャープ株式会社  
ソニー株式会社  
株式会社東芝  
日本電気株式会社  
株式会社日立製作所  
松下電器産業株式会社  
三菱電機株式会社  
富士通株式会社  
ローム株式会社

2004年 2月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 KGA1030016

【提出日】 平成15年 2月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/16

G06F 13/40

【発明者】

【住所又は居所】 東京都東大和市湖畔 2 - 1 0 7 4 - 3 8

【氏名】 大塚 寛治

【発明者】

【住所又は居所】 東京都国分寺市西町 2 - 3 8 - 4

【氏名】 宇佐見 保

【特許出願人】

【識別番号】 598042633

【氏名又は名称】 大塚 寛治

【特許出願人】

【識別番号】 598168807

【氏名又は名称】 宇佐見 保

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

## 【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

## 【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社東芝

## 【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

## 【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

## 【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

## 【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

## 【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路装置

【特許請求の範囲】

【請求項 1】 電源線と第 1 のグランド線とを絶縁層を介して対向配置して成る電源グランドペア伝送線路と、ドライバトランジスタと、このドライバトランジスタの出力信号によってドライブされ、信号線と第 2 のグランド線とを絶縁層を介して対向配置して成る信号グランドペア伝送線路と、を具備し、前記電源グランドペア伝送線路の電源線が前記ドライバトランジスタのドレイン層に直接接続されると共に、前記電源グランドペア伝送線路の第 1 のグランド線が前記ドライバトランジスタの基板に接続されていることを特徴とする電子回路装置。

【請求項 2】 前記信号グランドペア伝送線路の配線長が前記ドライバトランジスタの動作パルス周波数の 1 0 倍高調波の  $1/4$  波長より長いことを特徴とする請求項 1 記載の電子回路装置。

【請求項 3】 前記信号グランドペア伝送線路の信号線が前記ドライバトランジスタのソース層に直接接続されると共に、前記信号グランドペア伝送線路の第 2 のグランド線が前記ドライバトランジスタの基板に直接接続されていることを特徴とする請求項 1 又は請求項 2 記載の電子回路装置。

【請求項 4】 前記電源グランドペア伝送線路の特性インピーダンスが前記信号グランドペア伝送線路の特性インピーダンスより大きいか、若しくは等しいことを特徴とする請求項 3 記載の電子回路装置。

【請求項 5】 前記電源グランドペア伝送線路の第 1 のグランド線と前記前記信号グランドペア伝送線路の第 2 のグランド線が前記ドライバトランジスタの基板に形成された低抵抗層を通して連結されていることを特徴とする請求項 1 記載の電子回路装置。

【請求項 6】 元電源グランドペア伝送線路と、この元電源グランドペア伝送線路から分岐した複数の分岐電源グランドペア伝送線路と、該分岐電源グランドペア伝送線路にそれぞれ接続されたドライバトランジスタと、前記ドライバトランジスタの出力信号によってドライブされる信号グランドペア伝送線路と、該信号グランドペア伝送線路から伝送される信号を受信するレシーバ回路と、を具

備することを特徴とする電子回路装置。

【請求項 7】 前記分岐電源グランドペア伝送線路の数を  $n$  とし、前記元電源グランドペア伝送線路の特性インピーダンスを  $Z_{0ps}$  とし、前記分岐電源グランドペア伝送線路の特性インピーダンスを  $Z_{0pt}$  とすると、 $Z_{0ps} \leq Z_{0pt} / n \leq 1.2 Z_{0ps}$  なる条件を満たすことを特徴とする請求項 6 記載の電子回路装置。

【請求項 8】 前記複数の分岐電源グランドペア伝送線路は、それぞれ複数の配線に放射状に分岐してネットワーク配線を構成し、該ネットワーク配線が前記元電源グランドペア伝送線路に接続されていることを特徴とする請求項 6 記載の電子回路装置。

【請求項 9】 前記ネットワーク配線を構成する全ての配線が等長配線であることを特徴とする請求項 8 記載の電子回路装置。

【請求項 10】 前記元電源グランドペア伝送線路の終端に複数のバイパスキャパシタが接続され、かつ該終端から 1 つの電源グランドペア伝送線路が取り出され、該電源グランドペア伝送線路の電源線とグランド線の上にコンデンサが接続され、更に該電源グランドペア伝送線路は電源回路に接続されていることを特徴とする請求項 6, 7, 8, 9 のいずれかに記載の電子回路装置。

【請求項 11】 前記元電源グランドペア伝送線路の分岐部の近傍において、該分岐電源グランドペア伝送線路の電源線とグランド線との間に、一対のキャパシタと該一対のキャパシタを接続する抵抗素子とから成るキャパシタ抵抗回路を設けたことを特徴とする請求項 6, 7, 8, 9 のいずれかに記載の電子回路装置。

【請求項 12】 前記一対のキャパシタは、前記キャパシタ抵抗回路の前記元電源グランドペア伝送線路に伝送方向に沿った寸法と同じ寸法の前記元電源グランドペア伝送線路の部分が有する容量値の 50 倍以上の容量値を有することを特徴とする請求項 11 記載の電子回路装置。

【請求項 13】 前記元電源グランドペア伝送線路の分岐部の近傍において、該分岐電源グランドペア伝送線路の電源線とグランド線との間に挿入された一対のキャパシタ電極と、該一対のキャパシタ電極の間を接続する抵抗素子とから



成るキャパシタ抵抗回路を設けたことを特徴とする請求項 6, 7, 8, 9 のいずれかに記載の電子回路装置。

【請求項 1 4】 前記一对のキャパシタ電極と前記元電源グランドペア伝送線路との間で形成されるキャパシタは、前記キャパシタ抵抗回路の前記元電源グランドペア伝送線路に伝送方向に沿った寸法と同じ寸法の前記元電源グランドペア伝送線路の部分が有する容量値の 5 0 倍以上の容量値を有することを特徴とする請求項 1 3 記載の電子回路装置。

【請求項 1 5】 前記元電源グランドペア伝送線路の分岐点の近傍に、該元電源グランドペア伝送線路に隣接して方向性結合器が配置され、該方向性結合器が終端抵抗で結合されていることを特徴とする請求項 6, 7, 8, 9 のいずれかに記載の電子回路装置。

【請求項 1 6】 前記元電源グランドペア伝送線路と前記方向性結合器のギャップ寸法は、前記方向性結合器を構成する導体の厚さ以下であることを特徴とする請求項 1 5 記載の電子回路装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は電子回路装置に関し、特にGHz帯を超える高速信号に対応可能な電源供給構造を有する電子回路装置に関する。

##### 【0 0 0 2】

#### 【従来の技術】

GHz帯を超えるデジタル信号(アナログ信号を含む)を処理するトランジスタは100ps以下の立ち上がり時間及び立下り時間で、高速スイッチ動作をする。そのような高速スイッチ動作に対応する電気エネルギーが電源から供給されなければならない。

##### 【0 0 0 3】

この電源供給の問題を水道パイプの比喻を用いて端的に説明する。家庭用水道の蛇口バルブを水が追従する速度より早く開いても、水はそれに応じて出てこない。水の力の伝達速度は1500m/sであり、バルブから蛇口までの長さが10mmと

すると、 $6.7\mu\text{s}$ かかる。この時間より早くバルブが全開になっても水が蛇口から出るのは $6.7\mu\text{s}$ 後である。また、静止した水は重力慣性があり、 $1500\text{m/s}$ まで速度を高めるにはある時間がかかるだけでなく、水の粘性による管壁抵抗でこのような高速にならない。慣性がある以上、吐き出された水の補給に対して、家庭用パイプに連結された幹線パイプは急激な変化に対応できずその水圧が低下する。

#### 【0 0 0 4】

しかし、幹線パイプは家庭用パイプの100倍もあれば、水圧低下は $1/100$ となり、事実上無視できる。このような形を作ろうとしていたのが従来の電源供給のアプローチであった。すなわち、プレーンランドとプレーン電源を対向させて電源供給し、これができないときはバイパスキャパシタをその代用として用いる方法であった。

#### 【0 0 0 5】

ところで、電荷の移動による電流の伝達速度はある構造体の中の電磁波速度に等しい。その構造体の比誘電率が4であれば、その伝達速度は $1.5 \times 10^8\text{m/s}$ である。電流がその構造体中を流れ始める際、電圧低下は回路中の寄生インダクタンス $L_s$ によって生じ、その電圧低下を $v_{\text{drop}}$ とすると、 $v_{\text{drop}} = L_s di/dt$ となる。

#### 【0 0 0 6】

水の管壁抵抗は、電気の世界では多少概念が違う。高速変化をする電流では、それに対応する概念は、配線の特性インピーダンスである。配線の断面にかかわる直流抵抗は特性インピーダンスに比べ一般に2桁以上小さく問題にならない。しかし高速変化で起こる表皮効果によるこの直流抵抗はGHz帯で計算に入れなければならない。

#### 【0 0 0 7】

さて、以上から高速スイッチに対応する電源は慣性、すなわち寄生インダクタンス $L_s$ が無く、またオンしたスイッチに十分電流が流れる電流容量がなければならない。すなわちスイッチのコンダクタンス $G$ に相当する電流は $I_{\text{max}} = GV_{\text{dd}}$ ということになる。これが許容最大電流であるため、負荷の状態には関係がないということになる。レシーバ端の電圧はこの電流と負荷で決まるものである。一般に負荷の大きさと電源がサポートされなければならないという概念は低速スイッチで

有用であるが、高速スイッチでは最大電流 $I_{\max}$ という概念で設計するべきである。

#### 【0 0 0 8】

そこで、 $L_S=0$ 、 $I_{\max}=GV_{dd}$ を実現できる電源供給構造はどのようなものであろうか。バイパスキャパシタは、必ず寄生インダクタンス $L_S$ を持つ。1005型で見ると寄生インダクタンス $L_S$ は200pH位になる。そのバイパスキャパシタを接続するための電極部分の寄生インダクタンスである200pH程度がこれに付加される。つまり、寄生インダクタンス $L_S$ は合計で400pH位になる。一方、0603型では、それぞれの寄生インダクタンスは120pHと150pHとなり、合計で270pHの寄生インダクタンスを有する。今後さらに小さなキャパシタが開発されたとしても電極部分の寄生インダクタンスを含めると合計で100pHより小さくすることは非常に困難である。

#### 【0 0 0 9】

次にこのバイパスキャパシタ系の電流 $I$ は、バスドライバの $G$ が0.02S、 $V_{dd}$ を1Vとすると、5mAとなる。パルス周波数を今10GHzとすると、スリューレートは30ps程度となる。0603型の電圧低下は $V_{drop}=270pH \times 5mA / 30ps = 45mV$ であり、最低の100pH構造でも $V_{drop}=100pH \times 5mA / 30ps = 17mV$ となる。電源につながっているドライバが8個とすると、電圧低下はそれぞれ0.36Vと0.136Vとなり、大きな問題となる。このようにバイパスキャパシタによる電源供給の改善は困難を極めることになる。

#### 【0 0 1 0】

なお、本発明に関連する先行技術文献として以下の特許文献がある。

#### 【0 0 1 1】

【特許文献1】特開 2 0 0 1 - 2 1 0 9 5 9

#### 【0 0 1 2】

#### 【発明が解決しようとする課題】

そこで本発明は、GHz帯を超える高速信号に対応可能な電源供給構造を有する電子回路装置を提供するものである。また、これに加えて、電源グラウンドの揺らぎが電子回路装置全体に及ばない安定な電子回路装置を提供するものである。

## 【0013】

## 【課題を解決するための手段】

そこで本発明の電子回路装置の主な特徴構成は以下の通りである。第1は、電源グランドペア伝送線路とドライバトランジスタの接続に関するものであり、電源グランドペア伝送線路と、ドライバトランジスタと、このドライバトランジスタの出力信号によってドライブされる信号グランドペア伝送線路と、をそれぞれ同一のチップ上に設ける。そして、電源グランドペア伝送線路がドライバトランジスタのドレイン層と基板に直接接続している。

## 【0014】

また、第2は電源グランドペア伝送線路を多数に分岐した電源供給構造に関するもので、元電源グランドペア伝送線路から複数の分岐電源グランドペア伝送線路を分岐させる。分岐電源グランドペア伝送線路にはそれぞれドライバトランジスタを接続する。また、ドライバトランジスタの出力信号によってドライブされる信号グランドペア伝送線路と、この信号グランドペア伝送線路から伝送される信号を受信するレシーバ回路とを設けるものである。

## 【0015】

## 【発明の実施の形態】

次に、本発明の実施形態について図面を参照しながら詳細に説明する。まず、本発明の電子回路装置は、電源線とグランド線とをペア伝送線路で構成した、電源グランドペア伝送線路を用いているため、まずこの点について説明する。

## 【0016】

電源グランドをペア伝送線路とすると、特性インピーダンス $Z_0$ が定義できる。例えば、8つのドライバを電源グランドペア伝送線路に接続する場合を考える。そこで、最大電流 $I_{\max} = 5\text{mA} \times 8 = 40\text{mA}$ を確保する条件は、電源電圧 $V_{\text{dd}} = 0.5\text{V}$ とすると、 $I_{\max} = 40\text{mA} = V_{\text{dd}}/Z_0 = 0.5\text{V}/12.5\Omega$ となり、特性インピーダンス $Z_0 = 12.5\Omega$ である。ペア伝送線路だけで構成されていれば寄生インダクタンス $L_s = 0$ である。この値は十分設計可能な範囲である。この電源グランドペア伝送線路は高速で対応できる電源を構成できる。本発明の構成はこの電源グランドペア伝送線路を前提としている。

## 【0017】

そこで、このような電源グラウンドペア伝送線路によって、なぜ高速信号に対応できるかを説明する。特性インピーダンスの線路はLCはしご回路が等価回路となる。LCはしご回路の区分は単位長さを区分としてこの単位長さを任意に設定できることになるため、LC回路でありながらLC共振点を持たない。周波数に応じてLCはしご回路の区分が自動的に行われる。これをモデル化すると図1のようになる。

## 【0018】

電圧と電流の正弦波が一致している正弦波を考える。正弦波の最大点、最小点が電荷の一番貯まっているところであり、キャパシタンス成分が主としてあると考える。そして、電流勾配の一番強いところにインダクタンス成分が作用すると考えると図1のように表現できる。かかるLCはしご回路では、同じ伝送線路構造が無限に続いていることから周波数に応じてこの区分を自動的に変えることができる。

## 【0019】

すなわち単位長さ当たりのキャパシタンス $C/l$ 、単位長さあたりのインダクタンス $L/l$ とすると、単位長さあたりのインピーダンス $Z/l$ は次の式のようにになる。

## 【0020】

【数1】

$$Z/l = \sqrt{Z_L \cdot Z_C} = \sqrt{\frac{j\omega L/l}{j\omega C/l}} = \sqrt{\frac{L}{C}} = Z_0 \quad [\Omega]$$

## 【0021】

ここで $\omega$ は角周波数、 $j$ は虚数、 $Z_L = j\omega L/l$ 、 $Z_C = 1/j\omega C/l$ である。 $Z_L$ と $Z_C$ は長さ方向に同時に存在するための証として、2乗平均という数学的取り扱いになる。 $j$ と $\omega$ と $l$ が全て打ち消される。 $Z_0$ は実数で周波数特性を持たず、長さ単位を持たないインピーダンスである。伝送線路が長くても短くても同じインピーダンスという物理量はパイプの間口を表現している。

## 【0022】

そしてその間口の奥行きは管壁抵抗がないパイプとなっており、パルスの水が流れれば、それは無限の長さでもそのままの形で伝達する。伝送線路の入り口から見たコンダクタンスが $1/Z_0$ であり、このコンダクタンスに応じた電流が伝送線路に流れてしまえば、後は抵抗がないため無限遠にまで届くという概念である。

#### 【 0 0 2 3 】

モデリックにその物理を考えるとLとCに蓄えられた電荷エネルギーが自由に区分されるLC区分を移動しながら電磁波速度で伝送線路内を進行するということになり、LとCの2乗平均である特性インピーダンスだけが見えている。重要なことは通常のSPICEで多用されるLCのLumpedモデルには合致しない。伝送線路はLとCは見えてこないが、 $Z_0$ だけを見ればよいということになる。

#### 【 0 0 2 4 】

ドライバトランジスタの電源グランド電極に直接電源グランドペア伝送線路が接続されているとき電流I(前述条件 $I=40\text{mA}=V_{\text{dd}}/Z_0=0.5\text{V}/12.5\Omega$ 、 $Z_0=12.5\Omega$ )は電磁波速度で即応供給されることになる。前述のキャパシタで問題にした慣性力となる寄生インダクタンス $L_S$ はない。

#### 【 0 0 2 5 】

電磁波速度は比誘電率が4であれば $1.5 \times 10^8 \text{m/s}$ である。ドライバのゲートが形成される速度は電荷の移動度に支配される。シリコンでは飽和電界強度で約 $5 \times 10^5 \text{m/s}$ であり、電磁波速度に対して約3桁遅い。ゲート長がある寸法を持っていれば、その寸法の2桁以下の長さをもつソースまたはドレイン構造に伝送線路がつながっていればスイッチ速度より速い電源供給が可能である。

#### 【 0 0 2 6 】

次に、電源グランドペア伝送線路を用いた電子回路装置の具体的な構成について説明する。図2はドライバトランジスタに電源グランドペア伝送線路が接続されている理想な概念構造を示す斜視図である。また、図3はドライバトランジスタに電源グランドペア伝送線路が直接接続された断面構造を示す図である。このような電源供給構造はドライバトランジスタの電極が作る寄生インダクタンス $L_S$ を最小にする構造である。

#### 【 0 0 2 7 】

まず、Nチャネル型MOSトランジスタから成るドライバトランジスタ10の構造について説明する。例えばシリコン基板等の半導体基板1の表面にPウエル2が形成されており、このPウエル2の中に、N<sup>+</sup>型のドレイン層3及びN<sup>+</sup>型のソース層4が所定の間隔を隔てて形成されている。ドレイン層3とソース層4の間にあるウエル2の表面がチャネル領域となる。

#### 【0028】

また、このチャネル領域上にゲート絶縁膜5が形成され、そのゲート絶縁膜5上に接してゲート電極6が形成されている。ゲート電極6は、ポリシリコンゲートや、ポリシリコンとタングステン・シリサイド等の高融点金属シリサイドを積層してなるポリサイドゲートで形成されている。

#### 【0029】

また、ドレイン層3から離れたPウエル2の表面にPウエル2よりも高濃度の不純物がドーピングされてなるP<sup>+</sup>層7が形成されており、同様に、ソース層4から離れたPウエル2の表面にPウエル2よりも高濃度の不純物がドーピングされてなるP<sup>+</sup>層8が形成されている。また、ドレイン層3とP<sup>+</sup>層7との間には絶縁層9a、ソース層4とP<sup>+</sup>層8との間には絶縁層9bが形成されている。絶縁層9a、9bは例えばLOCOS (Local Oxidation Of Silicon) によって形成されている。

#### 【0030】

次に、電源グランドペア伝送線路20は絶縁層21を挟んで互いに平行に配置された、A1等の金属層から成る電源線22とグランド線23から構成されている。グランド線23と半導体基板1との間には絶縁層24が形成されている。

#### 【0031】

また、信号グランドペア伝送線路30は、絶縁層21を挟んで互いに平行に配置された、A1等の金属層から成る信号線31とグランド線32から構成されている。グランド線32と半導体基板1との間には絶縁層24が形成されている。

#### 【0032】

電源グランドペア伝送線路20及び信号グランドペア伝送線路30は接続コラムの縦構造でも伝送線路構造を形成し、ドライバトランジスタ10の電極に接続

されている。すなわち、電源グランドペア伝送線路 20 では、電源線 22 の接続コラム 22 a と、グランド線 23 の接続コラム 23 a についても縦方向にペア伝送線路を形成している。接続コラム 22 a は、ドライバトランジスタ 10 の電源電極であるドレイン層 3 に接続され、接続コラム 23 a はドライバトランジスタ 10 の基板グランド電極である P<sup>+</sup>層 7 に接続されている。なお、接続コラム 22 a は絶縁層 21, 24 に設けられたビアホールに埋め込まれた金属等で形成され、接続コラム 23 a は絶縁層 24 に設けられたビアホールに埋め込まれた金属等で形成されている。

#### 【0033】

また、信号グランドペア伝送線路 30 では、信号線 31 の接続コラム 31 a と、グランド線 32 の接続コラム 32 a についても縦方向にペア伝送線路を形成している。接続コラム 31 a はドライバトランジスタ 10 の出力電極であるソース層 4 に接続され、一方接続コラム 32 a はドライバトランジスタ 10 の基板グランド電極である P<sup>+</sup>層 8 に接続されている。なお、接続コラム 31 a は絶縁層 21, 24 に設けられたビアホールに埋め込まれた金属等で形成され、接続コラム 32 a は絶縁層 24 に設けられたビアホールに埋め込まれた金属等で形成されている。

#### 【0034】

上述の構造によれば寄生インダクタンス  $L_s=0$  を達成することができる。また、接続コラム部分のドレイン電界やソース電界がゲート電極に影響しないように、電源グランドペア伝送線路 20 とゲート電極 6 との距離が、電源グランドペア伝送線路 20 の電源線 22 とグランド線 23 との距離より大きな距離を持つことが好ましい。同様に、信号グランドペア伝送線路 30 とゲート電極 6 との距離が、信号グランドペア伝送線路 30 の信号線 31 とグランド線 32 との距離より大きな距離を持つことが好ましい。これにより、ドレイン層 3 及びソース層 4 の拡散深さを浅くすることと併せて、近接効果を極力防止することができる。

#### 【0035】

図 4 は上記構成の電源供給構造を用いたドライバ・レシーバ回路の回路図である。ドライバトランジスタ 10 がオンになると、電源グランドペア伝送線路 20



に蓄えられている電荷が信号グランドペア伝送線路 3 0 に引き抜かれる。慣性が 0、即ち電磁波速度で電荷が信号グランドペア伝送線路 3 0 に供給され、次の段のレシーバトランジスタ 4 0 に向かう。レシーバトランジスタ 4 0 には、同様な構造をした、電源グランドペア伝送線路 4 1 及び信号グランドペア伝送線路 4 2 が接続されている。これは 1 電源 1 ドライバの例である。信号グランドペア伝送線路 3 0 の  $Z_0=100\Omega$  とすると、水道パイプ論理から、電源グランドペア伝送線路 2 0 の特性インピーダンス  $Z_{0p}$  が  $100\Omega$  以上あれば十分である。 $I_{\max}=V_{dd}/100\Omega$  の最大電流が得られる。

### 【 0 0 3 6 】

しかし、ランプドモデルから見てドライバトランジスタ 1 0 のオン抵抗  $R_{on}$  が  $500\Omega$  であったとすると、信号電圧  $V$  は、 $V=V_{dd}R_T/(R_{on}+R_T)=0.17V_{dd}$  となり、 $V_{dd}=1V$  で  $V=0.17V$  となる。10GHz スイッチ動作のドライバトランジスタ 1 0 の信号レベルとしては許容範囲であろう。 $R_{on}=250\Omega$  であれば  $V_{dd}=0.5V$  で同様な振幅が得られる。ここで、 $R_T$  は終端抵抗の抵抗値、 $V_{dd}$  は電源電圧である。

### 【 0 0 3 7 】

もし 8 ドライバを電源グランドペア伝送線路につなぐときは  $Z_{0p}=100\Omega/8=12.5\Omega$  とすれば原理的な問題は解決する。ここで、伝送線路の各種の構造を示すと図 5 のようになる。(a) はペア配線を一平面上に配置したペアコプレーナ線路、(b) は 3 本の配線を一平面状に配置し、両端のペア配線を共通接続したガードコモンプレーナ線路、(c) はペア配線を上下に平行に重ねたスタックトペア線路、(d) は 3 本の配線を上下に平行に重ね、上下の配線を共通接続したガードスタックトペア線路である。いずれの構造についても、配線が均質な絶縁層の中に埋め込まれていることが重要で、このような構造では  $s=d/2$  であっても隣接の影響はほとんどないという一見信じられない状態を示す。ここで、 $s$  は伝送線路間の距離、 $d$  は伝送線路の配線間距離である。

### 【 0 0 3 8 】

ペアの進行波電磁波 (TEM 波) に対して、隣接は進行波の形をしていないためである。 $s>d/2$  が守られれば良い。伝送線路とはそれだけ有利なエネルギー伝達構造といえる。

## 【0 0 3 9】

次に、複数ドライバの電源供給構造について説明する。簡単のため、3ドライバの電源を考える。図6は、3ドライバへの電源供給構造を示す等価回路図である。また、図7は、スタックトペア線路で作った3ドライバの電源グランドペア伝送線路の一例を示す図である。

## 【0 0 4 0】

5 0は元電源グランドペア伝送線路、5 1, 5 2, 5 3は元電源グランドペア伝送線路5 0から分岐した、分岐電源グランドペア伝送線路である。5 5, 5 6, 5 7はそれぞれ分岐電源グランドペア伝送線路5 1, 5 2, 5 3に接続されたドライバトランジスタである。5 8, 5 9, 6 0はそれぞれドライバトランジスタ5 5, 5 6, 5 7に接続された信号グランドペア伝送線路である。

## 【0 0 4 1】

図6及び図7から分かるように、3ドライバが同時にオンし、電源電荷を引き抜くときはあたかも1ドライバが動作したように、3つの分岐電源グランドペア伝送線路5 1, 5 2, 5 3の合流部の特性インピーダンスが整合しているため問題がない。ここで、元電源グランドペア伝送線路5 0の特性インピーダンス $Z_{0ps} = 16.6 \Omega$ 、各分岐電源グランドペア伝送線路5 1, 5 2, 5 3の特性インピーダンス $Z_{0pt}$ はいずれも $50 \Omega$ である。

## 【0 0 4 2】

この特性インピーダンスの整合条件を一般化すれば、 $Z_{0ps} = Z_{0pt} / n$ となる。ここで、 $n$ は分岐電源グランドペア伝送線路の数である。それぞれの分岐電源グランドペア伝送線路は等しい特性インピーダンス $Z_{0pt}$ を有するものとする。この3ドライバの例では、 $n = 3$ である。このとき、分岐電源グランドペア伝送線路5 1, 5 2, 5 3の元電源グランドペア伝送線路5 0への合流部での電磁波のエネルギー反射率 $\Gamma$ は次式で定義され、ゼロとなる。

## 【0 0 4 3】

$$\Gamma = (Z_{0pt} / n - Z_{0ps}) / (Z_{0pt} / n + Z_{0ps}) = 0$$

また、このエネルギー反射率 $\Gamma$ が10%以下であれば、電源設計上、許容できる。そこで、この点を考慮すると、以下の条件が満たされていればよい。

## 【 0 0 4 4 】

$$Z_{0ps} \leq Z_{0pt} / n \leq 1.2 Z_{0ps}$$

すなわち、 $1.2 Z_{0ps} = Z_{0pt}$  のとき、

$$\Gamma = (1.2 Z_{0ps} - Z_{0ps}) / (1.2 Z_{0ps} + Z_{0ps}) = 0.2 / 2.2 =$$

0.091 となり、エネルギー反射率  $\Gamma$  は 10 % 以下となる。

## 【 0 0 4 5 】

電磁波の様子をシミュレーションモデルで見ると図 8 のようになる。図 8 (A) はシミュレーションモデルを示す図、図 8 (B) は、シミュレーションモデルによる表面磁界の分布図である。磁界変化の大きいところが電流変化の大きいところと解釈できる。

## 【 0 0 4 6 】

各ドライバトランジスタ 5 5, 5 6, 5 7 のオン抵抗  $R_{on} = 200 \Omega$  であることからポート P 1、P 2、P 3 に到達した瞬間に信号線側は大きな反射をするため、これらのトランジスタがオンした瞬間から電磁波が両サイドに伝播するように見える。ここで、ポート P 1、P 2、P 3 はシミュレーション上の測定点である。進行波が元電源グランドペア伝送線路 5 0 へ合流した後も電磁波は、ほぼ素直に進行している様子がわかる。

## 【 0 0 4 7 】

しかし、3 つのドライバトランジスタ 5 5, 5 6, 5 7 がランダムに動作すると、合流部はそれぞれから見て特性インピーダンスが  $1/3$  に見えるため、引き抜き電磁進行波は 67% のマイナス反射が起こる。図 9 は 3 つのドライバトランジスタ 5 5, 5 6, 5 7 の中、2 つのトランジスタが先行してオンした場合の、図 8 と同様のシミュレーション結果を示す図である。この図 9 から、この反射電磁波が右 2 本の信号線側に伝わる様子が分かる。分岐電源グランドペア伝送線路 5 1, 5 2, 5 3 が合流した元電源は中間の電圧になる。これ自身は問題ないが、分岐した電源グランドペア伝送線路を伝播する進行波の時間拡散が大きくなり、TEM モードが崩れる結果、カップリングが弱くなり、電磁放射や周囲に影響し共振を起こすという問題点となる。

## 【 0 0 4 8 】

次に分岐電源グランドペア伝送線路 5 1, 5 2, 5 3 より太い元電源グランドペア伝送線路 5 0 がより低い特性インピーダンス  $Z_{0ps}$  ( $6.33\Omega$ ) を有しているという条件で、同様のシミュレーションを行った。この結果を図 1 0 に示す。太い元電源グランドペア伝送線路 5 0 の電磁波の TEM 伝送モードはあまり崩れず、良好な電源状態であることを示している。しかし、3 つのドライバトランジスタがオンするタイミングがずれたシミュレーション結果は、図 1 1 に示すように、図 9 よりさらに悪い状態となり、進行波とは言えない、乱れた電磁波状態となることがわかる。プレーン状の電源グランドの揺らぎは、この図 1 1 に示すようになっていて、TEM 進行が全く崩れ、渦電流などの共振があちこちに発生する。一般によく言われている数 100MHz より高いクロック周波数を持つボードは、EMI の大部分が電源グランドプレーン構造から出ているという概念がここにある。

#### 【0 0 4 9】

ここで、電気信号エネルギーは電気力線、磁力線の発生と等価であり、その電磁界が電気信号エネルギーの進行方向に直角な伝面方向にのみ広がっている進行波を Transverse Electromagnetic Wave (TEM 波) と呼んでいる。これは、伝送線路に信号が流れるときの理想形であり、エネルギーが外に漏れない形となる。図 8 のシミュレーション結果によれば TEM 波が保持されていることがわかる。電源グランドペア伝送線路の採用により  $L_S=0$  が実現可能で理想電源に近づく。しかし、電源グランドペア伝送線路のインピーダンス不整合の問題、すなわち、TEM 波を保持することが不可能であると考えられ今まで採用が見送られてきた。

#### 【0 0 5 0】

そこで、ドライバトランジスタがランダムなタイミングで動作し、数多くの分岐を有する電源供給構造において、進行波が乱れないようにするためには、伝送線路の特性インピーダンスができるだけ不整合と感じないネットワーク配線が適している。その一例をシミュレーションで示すと図 1 2 のようになる。

#### 【0 0 5 1】

これは、トランジスタの抵抗を  $200\Omega$  から  $5\Omega$  に変えて実質トランジスタのない線路でポート P 1 から電荷を引き抜くというシミュレーションである。第 1 次進行波の次に第 2 次進行波、さらには第 3 次進行波が発生するというように、時間

に対して間延びする姿になるが、特性インピーダンス $50\Omega$ から $3.5\Omega$ まで変化してもTEM波が崩れないということになる。

#### 【0052】

インピーダンス不整合をあまり起こさないネットワーク配線となっている $50\Omega$ の配線から出発して、 $75\Omega$ を有する2本の配線に分岐する。 $50\Omega$ の配線から見れば、この分岐した配線は $37.5\Omega$ に見えることになり、エネルギー反射率 $\Gamma$ は $-14.3\%$ となる。 $(\Gamma = 50 - 37.5 / 50 + 37.5)$  次の分岐配線は $55\Omega$ を有し、進行波のエネルギー反射率 $\Gamma$ は $-15.3\%$ となる。 $(\Gamma = 75 - 55 / 75 + 50)$  そして、両端の2本の配線は拡大配線( $35\Omega$ まで小さくなる)で平行直線部に接続する。そして、この平行直線部は $20\Omega$ を有し、 $60^\circ$  拡大角度を持って、 $3.5\Omega$ を有する元電源グランドペア伝送線路50に合流する。この構造でわかることは電磁波進行が大きな反射がなく全体として進行し、反射エネルギーも不連続部(配線の分岐部)までの配線長が同じであるため、戻り時間が同じであり、2次波、3次波として反射波もTEM波になっているということである。

#### 【0053】

上述の配線構造概念を一般化すると不連続部の反射エネルギー比率を比較的小さくするというものであり、好ましくはエネルギー反射率 $\Gamma$ は $-20\%$ 以下である。このような形でネットワーク配線を組み、どんどん低特性インピーダンスヘシフトする、どの経路を通っても合流層である元電源グランドペア伝送線路50へ到達する時間を同じにする、不連続部の反射時間をすべて同じにそろえるネットとするということである。

#### 【0054】

5入力の好ましい一例を図13に示す。5本の分岐電源グランドペア伝送線路61a~61eはそれぞれ不図示のドライバに接続されている。これらの分岐電源グランドペア伝送線路61a~61eのそれぞれの端子から、元電源グランドペア伝送線路50に向けて、放射状に5本のペア伝送線路が広がってネットワーク配線62を構成しており、このネットワーク配線62が元電源グランドペア伝送線路50に合流している。

#### 【0055】

分岐した5本の特性インピーダンスはドライバ側に接続されている特性インピーダンス(ドライバ接続部を $50\Omega$ とする)の5倍以下(5本分岐のため $250\Omega$ 以下)から3.5倍以上( $175\Omega$ 、マイナス反射-17.6%)が好ましい。この例では合流後の元電源グランドペア伝送線路50が有する特性インピーダンスは $3\Omega$ である。しかし、この特性インピーダンスは $50\Omega/5本=10\Omega$ で十分であり、線幅は図13の約1/3の幅でよい。

#### 【0056】

ここで、ネットワーク配線62には多くの交点があるが、それぞれの交点において特性インピーダンスが整合していることが好ましい。それぞれの交点では2本の配線が交わっているため、交点に向かって入ってくる入力配線2本と、交点から出ていく出力配線2本が存在することになる。これら2本の入力配線の平均の特性インピーダンスを $Z_{in}$ とし、2本の出力配線の平均の特性インピーダンスを $Z_{out}$ とすると、 $Z_{in}=Z_{out}$ であれば、エネルギー反射率 $\Gamma=(Z_{out}-Z_{in})/(Z_{out}+Z_{in})=0$ となる。また、エネルギー反射率 $\Gamma$ が10%以下であることを許容すれば、 $(Z_{out}-Z_{in})/(Z_{out}+Z_{in})\leq 10\%$ であればよいことになる。したがって、 $Z_{in}\leq Z_{out}\leq 1.2Z_{in}$ であれば、この条件を満たしている。 $Z_{in}$ は上記の例でいえば、分岐電源グランドペア伝送線路側の配線の特性インピーダンスであり、 $Z_{out}$ は元電源グランドペア伝送線路50側の配線の特性インピーダンスである。これにより、ネットワーク配線62において、全体として進行波の極端な反射が起こらず、渦電流の発生が防止される。

#### 【0057】

図13では、各分岐電源グランドペア伝送線路61a～61eから分岐したネットワーク配線62の各配線が等長配線にはなっていないが、角度の浅い配線は曲率をつけて等長配線にすることは可能である。これを3合流構造で示すと図14のようになる。すなわち、3本の分岐電源グランドペア伝送線路63a, 63b, 63cのそれぞれの端子から、元電源グランドペア伝送線路50に向けて、放射状に3本の伝送線路が広がってネットワーク配線64を構成しており、このネットワーク配線64が元電源グランドペア伝送線路50に合流している。そして、ネットワーク配線64の各配線が等長配線となっている。なお、図13で合

流部を前述のように1/3の幅にすれば、広がり角度が浅いため、直線接続でもほぼ等長配線とみなせる。

#### 【0 0 5 8】

さて更なる合流構造を示すと図 1 5 のようになる。この構造は図 1 4 の構造を更に発展させて、各 3 本の分岐電源グランドペア伝送線路 6 3 a, 6 3 b, 6 3 c に、更にネットワーク配線 6 5 a, 6 5 b, 6 5 c を接続したものである。これを繰り返していくことで自由な設計ができる。

#### 【0 0 5 9】

次に、太いペア伝送線路の折り曲げを行うには工夫を必要とする。角度の浅い折り曲げは分岐配線を使いそれらを等長にすることで比較的容易である。一例を示すと図 1 6 のようになる。電源グランドペア伝送線路 6 6 は 6 本の分岐配線 6 7 を使って折り曲げられている。これは折り曲げ角度が $45^{\circ}$  の例である。

#### 【0 0 6 0】

ペア伝送線路が直角に曲がるときは、図 1 7 に示す構造が一例となる。スタックペア構造では 2 層配線ペアを使っているため、直角に曲がるときは、他の層の 2 層配線ペアに変わる。例えば、1 層配線 7 0, 2 層配線 7 1 のペアが、3 層配線 7 2, 4 層配線 7 3 のペアに変わる。ビアホール 7 4 は 1 層配線 7 0 と 3 層配線 7 2 を接続するためのビアホール、ビアホール 7 5 は 2 層配線 7 1 と 4 層配線 7 3 を接続するためのビアホールである。このとき、それぞれのビアホール 7 4, 7 5 に対応して、ペアの相手の配線を逃げるアンチビアホール 7 6 を設ける必要がある。

#### 【0 0 6 1】

ビアホール 7 4, 7 5, 7 6 はピッチが細かいほどよいが、上記のようにプラスマイナス 20% 程度の反射を許すことから設計可能な範囲となる。ビアホールペアが千鳥配置となっているため、縦構造も伝送線路として保持されている。

#### 【0 0 6 2】

各ドライバトランジスタのオンするタイミングで、それぞれの反射波を含め無数の TEM モード 進行波が進行する。注意すべきは分岐などの反射が進行波周波数と共振する区分とならないようにするべきである。分岐ネットの最大寸法が進行

波周波数の1/4波長を越えなければよいことになる。

#### 【0063】

また、本発明には進行する周波数の1/4波長未満の長さの分岐ネットを規定することも含まれている。反射共振しない条件の下、TEMモードで進行している限りにおいて、電磁エネルギーの外部への漏洩はない。すなわち、電源グラウンドの電磁放射はないということになる。これで、EMIの問題が完全に解決したことになる。

#### 【0064】

しかしながら非常に複雑な分岐を強要することは製造プロセスが複雑になるという欠点がある。そこで、電源グラウンドペア伝送線路の分岐部にキャパシタ伝送線路を、その上下線路の間に付加し、そこに流れる高周波電流の一部を直流抵抗で除去するという手段が考えられる。それを示すと図18のようになる。

#### 【0065】

図18 (A) は電源グラウンドペア伝送線路の分岐部を示す斜視図、図18 (B) は元電源グラウンドペア伝送線路50の断面図である。図18 (A) の例では、元電源グラウンドペア伝送線路50は、分岐した2本の分岐電源グラウンドペア伝送線路51、52だけを示し、もう1本の分岐電源グラウンドペア伝送線路53については図面を見易くするために省略されている。

#### 【0066】

元電源グラウンドペア伝送線路50に乗っている衝撃波的な進行波の高周波成分エネルギーを吸収するには熱エネルギーに変える方法しかない。すなわち、直流抵抗を挿入するしかない。しかし直流電流を消費することはできない。そこで、図18のように、分岐する手前の元電源グラウンドペア伝送線路50の電源線50aとグラウンド線50bの間に、2つのキャパシタ電極81、82を隣接して挿入し、更にキャパシタ電極81、82間を抵抗83a、83bで接続している。すると、元電源グラウンドペア伝送線路50に乗っている衝撃波的な進行波の高周波成分は、キャパシタ電極81、82に流れ込む。この高周波も進行波であり、抵抗83a、83bに流れ込み、吸収される。キャパシタ電極81、82の両端は開放のため反射を繰り返すごとに終端抵抗に吸収されるため、ここを通る進行波の高



調波成分の高周波ほど吸収されることになる。高周波成分のエネルギーは短時間に凝集されているものであり、一般的に小さなエネルギーである。

#### 【0067】

進行波の反射を防止するため、図19に示すように、特性インピーダンスの整合を図るための構成が必要となる。すなわち、分岐電源グランドペア伝送線路51, 52, 53が合流した線路幅の合計より、元電源グランドペア伝送線路50の線路幅のほうを細くしなければならない。それはキャパシタ電極81, 82を設けたために特性インピーダンスが小さくなっているためである。

#### 【0068】

また、キャパシタ電極81, 82が終わるところは特性インピーダンスが高くなるため、線路幅を広く取る必要がある。このため、図19に示すように、元電源グランドペア伝送線路50に、絞込み部84及び拡大部85を設けることが必要である。この絞込み部84及び拡大部85の長さは、進行波の立ち上がり時間 $t_r$ より伝送遅れが $1/7$ の時間以下にする。図13～図17で示したような整合伝送線路分岐合流より高調波が減少するため、この絞込み部84及び拡大部85の影響は少なくなる。

#### 【0069】

上記絞込み部84及び拡大部85を設ける煩雑さを避けるために、図20のような構造が考えられる。図20(A)はチップ内にキャパシタ抵抗回路を設けた構造を示し、図20(B)はプリント配線板に外付けのキャパシタ抵抗回路を設けた構造を示し、図20(C)は図20(B)の平面図を示している。

#### 【0070】

図20(A), (B), (C)において、元電源グランドペア伝送線路50は、分岐した2本の分岐電源グランドペア伝送線路51, 52だけを示し、もう1本の分岐電源グランドペア伝送線路53については図面を見易くするために省略されている。

#### 【0071】

図20(A)の構造において、分岐する手前の元電源グランドペア伝送線路50の電源線50aとグランド線50bの間に、2つのキャパシタ91, 92が直

列に挿入され、かつ2つのキャパシタ 9 1, 9 2 を直列に接続する抵抗 9 3 が設けられている。更に詳しくは、元電源グランドペア伝送線路 5 0 の電源線 5 0 a から引き出された引き出し部 9 7 とキャパシタ 9 2 の一方の電極が縦コラム 9 4 によって接続され、一方、グランド線 5 0 b から引き出された引き出し部 9 5 とキャパシタ 9 1 の一方の電極が縦コラム 9 6 によって接続されている。キャパシタ 9 1, 9 2 は縦構造となっているが、同じ層内に並列する構造であってもよい。

#### 【0 0 7 2】

また、図 2 0 (B) の構造において、分岐する手前の元電源グランドペア伝送線路 5 0 の電源線 5 0 a とグランド線 5 0 b の間に、2つの外付けのチップ・キャパシタ 1 0 1, 1 0 2 が直列に挿入され、2つのチップ・キャパシタ 1 0 1, 1 0 2 を直列に接続する外付け抵抗 1 0 3 が設けられている。

#### 【0 0 7 3】

図 1 9 及び図 2 0 のキャパシタの容量は伝送線路のその部分の長さ(図 (C) の長さ L に相当)当たりの容量の50倍以上であればよく、大きな容量は必要が無い。プリント配線板寸法で特性インピーダンス  $Z_{0p}=10\Omega$  とすると、線路幅は 0.5mm、上下線路間の層厚みは  $30\mu\text{m}$  となり、0603 サイズのチップでは  $L=\text{約}1\text{mm}$  のため、0.7pF となる。1 対のキャパシタの容量は 35pF もあれば十分である。

#### 【0 0 7 4】

たとえば 10GHz の進行波(クロック周波数と同じであるがそれより高い高調波を含む)とすると、インピーダンス  $Z$  は  $1/(2\pi \times 10\text{G} \times 35\text{p})=0.45\Omega$  となり、高周波はここでほとんど熱になって消費させる分岐回路を付加したことになる。周波数が 1GHz オーダであればキャパシタ容量は  $L$  に対して 500 倍であればよい。チップ内の  $L$  は小さいため、チップ内キャパシタは必然的にさらに小さくてよいことになる。抵抗は  $Z$  と等価であればよいが、瞬時発熱を避けるため、100 倍程度の  $50\Omega$  までの範囲で調整が可能である。

#### 【0 0 7 5】

元電源グランドペア伝送線路 5 0 に乗っている衝撃波的な進行波の高周波成分エネルギーを吸収するための、更なる良好な構造として、元電源グランドペア伝送

線路 5 0 内の高周波進行波を方向性結合器 1 1 0 (方向性カプラー) で逃がし、その結合器の終端に整合抵抗を設けるという構造がある。その構造を図 2 1 に示す。図 2 1 (A) は、方向性結合器 1 1 0 が設けられた電源グランドペア伝送線路 5 0 を示す平面図、図 2 1 (B) は図 2 1 (A) の X-X 線に沿った断面図である。

#### 【0 0 7 6】

分岐電源グランドペア伝送線路 5 1, 5 2 に分岐する手前の元電源グランドペア伝送線路 5 0 に隣接して方向性結合器 1 1 0 が設けられている。方向性結合器 1 1 0 も元電源グランドペア伝送線路 5 0 と同じ構造のペア線路で構成され、ギャップ  $g$  だけ、元電源グランドペア伝送線路 5 0 から離間して設けられている。元電源グランドペア伝送線路 5 0 及び方向性結合器 1 1 0 は絶縁層 1 1 1 内に埋設されている。また、方向性結合器 1 1 0 のペア線路間には終端抵抗 1 1 2 が接続されている。

#### 【0 0 7 7】

この構造によれば、高周波エネルギーのみ方向性結合器 1 1 0 に逃げ、直流は元電源グランドペア伝送線路 5 0 から、分岐電源グランドペア伝送線路 5 1, 5 2 に接続されたドライバに減衰無く通過する。本実施形態では、結合器の一例として擬似 TEM 線路を示した。この線路の導体厚み  $t$  に対してギャップ  $g$  は同等かそれより小さければ GHz 周波数エネルギーは方向性結合器 1 1 0 へ移動する。

#### 【0 0 7 8】

最後に、元電源グランドペア伝送線路 5 0 が元電源に到達する部分を図 2 2 を参照して説明する。バイパスキャパシタであるチップキャパシタ 1 2 0 が、元電源グランドペア伝送線路 5 0 の終端の、複数の端子に多数接続されている。その一部の電源線 5 0 c、グランド線 5 0 d が導出され、電解コンデンサ 1 2 1 などの大容量コンデンサを経て、不図示の電源回路につながっている。

#### 【0 0 7 9】

もちろん、チップキャパシタ 1 2 0 の代わりに埋め込みキャパシタでよく、LSI チップ内では半導体内に設けられた均質な接続端子を持つキャパシタ列でつながる方法をとる。チップキャパシタ 1 2 0 の容量は 1nF から 100nF 程度のものが複

数端面全体に配列されていて、全体として供給先の最大電流容量に見合うという従来概念で十分である。

#### 【 0 0 8 0 】

さて、上記構造において、電磁進行波を考えてみよう。元電源グランドペア伝送線路 5 0 に接続されたドライバトランジスタのスイッチング速度で電荷が引き抜かれ、そのドライバトランジスタのオン抵抗 $R_{on}$ と $V_{dd}$ で決まる電流 $I = V_{dd}/R_{on} = 1V/200\Omega = 5mA$ が流れる。これが許容最大電流 $I_{max} = V_{dd}/Z_{0p} = 1V/50\Omega = 20mA$ より小さければどんなにトランジスタスイッチが早くても即応性がある。今ドライバトランジスタが $30ps$ でスイッチしたとすると、電流勾配 $di/dt$ は $di/dt = 5mA/30ps = 0.17 \times 10^9 A/s$ となるため、前述の0603型の $L_S = 270pH$ も付いているチップキャパシタ 1 2 0 では $V_{drop} = 46mV$ /ドライバとなり複数のドライバトランジスタを駆動することはできなかった。今終端抵抗 $50\Omega$ が付いているレシーバ回路を駆動する電流の様子を模式的に図示すると、図 2 3 (A) のようになる。

#### 【 0 0 8 1 】

許容最大電流 $I_{max}$ 以下という条件で、急峻な波形がそのまま元電源グランドペア伝送線路 5 0 に伝わるが、分岐拡大配線層で反射を繰り返すことでエネルギーの時間拡大が行われ、図 2 3 (B) に示すように、 $tr = 30ps$ が10倍以上になることは簡単に想像できる。しかしこのような形になってもTEMモードは保持されていて太い配線で電荷分布も薄くなっていることになる。

#### 【 0 0 8 2 】

図 2 2 の元電源グランドペア伝送線路 5 0 の終端ではバイパスキャパシタである、5 個のチップキャパシタ 1 2 0 で受けていることから、電流は $1/5$ となり1 個のチップキャパシタ 1 2 0 から見た電流勾配は $di/dt = 1mA/300ps = 3.3 \times 10^6 A/s$ ということになる。

#### 【 0 0 8 3 】

ここでの電圧低下 $V_{drop} = 3.3 \times 10^6 A/s \times 270pH = 0.9mV$ という低い値で問題にならない。多数のドライバトランジスタがランダムにこのような進行波を独立に終端に送ってきても、合成波はかえって平均化され、問題は小さくなる。リセットなどの64ビット同時切り替えのときも分岐ネットの多少の非対称性でスキューが起

こり、10ビット同時切り替え程度の問題となる。上記計算例では $V_{\text{drop}}=0.9\text{mV}\times 10=9\text{mV}$ となり問題が生じない。冒頭の計算例 $R_{\text{on}}=500\Omega$ の例では64ビット供給エネルギーがスキューなく元電源に達しても問題が起こらない。

#### 【0084】

進行波が元電源の端面に達したとき、列を成して待ち受けているチップキャパシタ120の特性インピーダンスはどのように見えるのであろうか。実質非常に広い面積で電源グランドペアがカップリングしているため、その特性インピーダンスは非常に小さく数十から数百 $\text{m}\Omega$ オーダとなる。元電源に達する元電源グランドペア伝送線路50の特性インピーダンスは数 $\Omega$ であり、ほぼマイナス全反射が起こる。

#### 【0085】

すなわち、高周波エネルギーに対してショート端であるように見える。電流は進行波を打ち消すように逆流し、電流進行波に応じた電圧低下は高電圧波形となって電圧低下を打ち消す。このような進行波がドライバに向かって進行し、元電源グランドペア伝送線路50のLCはしご回路の不足した電荷の蓄えを充電する働きとなる。このときもTEM波が乱されることなく、電荷エネルギーは元電源グランドペア伝送線路50より外に出ない電磁波状態を保ちながら充電に供することができる。

#### 【0086】

次に、他の電源供給構造について説明する。太い配線の折り曲げ設計は難しい。できるだけ合流は避けて細い配線のままの電源グランドペア伝送線路で通し、最後に太い配線で集合するという条件がよいことになる。図24はそのような電源供給構造を提供するフリップチップを示す図であり、図24（A）は、フリップチップのパターンレイアウト、図24（B）は部分拡大図を示している。

#### 【0087】

チップ130上の隣接ペア線路131は電源線とグランド線が、隣接配置されたり、外部4分割 $\times 4$ の取り出し構造と接続されている。図が煩雑になるため、合流のための配線は省略し、図24（B）に一部取り出して図示している。チップ130上の隣接ペア線路131は、図24（B）に示すように、コラム132

でチップ130の内層配線から取り出されている(この内層配線は省略)。

#### 【0088】

そして、隣接ペア線路131は、各バンプ133を通して、各分岐電源グランドペア伝送線路134に接続され、更に、この各分岐グランドペア伝送線路134が太い元電源グランドペア伝送線路135に合流されている。

#### 【0089】

チップ130の周辺2列のバンプ136は信号線用であり、通常の配線が行われるが、ここではバンプ136のみを図示し配線は省略されている。チップ130上の隣接ペア線路131は図24(A)の下に示した断面図のように、アスペクト比の大きい対向面が大きくなっている配線構造をとっているが、これは一例を示しただけである。

#### 【0090】

図24でわかるように、電源グランドペア伝送線路は、引き回しが可能であれば、できるだけ分離した状態で元電源の近くまで引き回すことが望ましい。チップから出た電源グランドペア伝送線路はすでにチップ内で分岐合流が行われており、進行波電磁エネルギーの時間分散がなされているか、分岐キャパシタでエネルギーを吸収されている。図19、図20、図21は電源グランド進行波をここで受け止めたことになり、以降の接続は直流的な接続でよく図22のようにある場所一本の引き出しでよい。ただし、平均電流が十分流れる導体断面積でなければならない。

#### 【0091】

次に、チップ130内の回路と配線について説明する。すでにNチャネル型のドライバトランジスタによるドライバ回路を示したが、図25のようにCMOSドライバや他の回路でも同様に電源グランドペア伝送線路の接続部だけを考えればよいということになる。

#### 【0092】

図25は、ドライバ・レシーバ回路の回路例を示している。同図において、CMOSドライバ140はPチャネル型MOSトランジスタ141とNチャネル型MOSトランジスタ142からなるCMOSインバータ回路であり、電源グラン

ドペア伝送線路 143 がその電源・グランド端子に接続されている。

#### 【0093】

また、CMOSドライバ 140 の出力・グランド端子には信号グランドペア伝送線路 144 が接続されている。信号グランドペア伝送線路 144 の信号線と CMOSドライバ 140 の出力端子の間にはダンピング抵抗 145 が接続されている。

#### 【0094】

また、信号グランドペア伝送線路 144 には終端抵抗 146 が接続されている。信号グランドペア伝送線路 144 は差動レシーバ 150 の差動入力トランジスタ 151, 152 のゲートに接続されている。差動レシーバ 150 には他の電源グランドペア伝送線路 153 から電源が供給されている。

#### 【0095】

この図 25 のドライバ・レシーバ回路は、チップ 130 内にあっても比較的長い信号線を有するもので、信号周波数成分の 1/4 波長を越える可能性がある。そのため、反射共振をおさえること、RC 遅延を防止することから、10GHz デジタル信号レベルでは信号線は伝送線路にして、伝送線路整合抵抗をつけなければならない。

#### 【0096】

1 つの方法として、差動レシーバ 150 の端の直前に信号グランドペア伝送線路 144 と整合した終端抵抗 146 を付加して、信号前エネルギーを吸収し、熱として放散することで信号反射を 0 に抑える。もし終端抵抗 146 を付加しない構造であれば、CMOSドライバ 140 に接続するダンピング抵抗 145 と CMOSドライバ 140 のオン抵抗  $R_{on}$  の直列抵抗が信号グランドペア伝送線路 144 の特性インピーダンスと等しくすれば良い。

#### 【0097】

このとき、差動レシーバ 150 の端は全反射(レシーバゲートは非常に小さな容量のため実質的な全反射とする)するため、2 倍の電圧となり、さらに全ての信号が全反射するため、電源グランドペア伝送線路 143 へエネルギーを返却できる利点がある。

## 【0098】

このエネルギー返却は通常の電源グランド接続では、電源グランドの複雑な揺らぎを増長させることになるが、このドライバ・レシーバ回路ではTEM進行波になるだけで問題とならない。どの程度長い配線をこのような回路にする必要かを考えてみる。ここで長い配線すなわち1/4波長の計算を表1に示す。電磁波速度 $v$ 別に表している。 $v=c_0/\sqrt{\mu_r \epsilon_r}$ で表される。ここで $c_0$ は真空中の光の速度、 $\mu_r$ は線路空間を囲む絶縁材料の比透磁率、 $\epsilon_r$ は同様比誘電率である。

## 【0099】

【表1】

チップ内配線の周波数に対する伝送線路にするべき長さの最小値

パルス周波数 [MHz]	相当正弦波 高調波 [GHz]	$v=1 \times 10^8$ [m/s] の (1/4) $\lambda$ 線路長[m]	$v=1.5 \times 10^8$ [m/s] の (1/4) $\lambda$ 線路長[m]	$v=2 \times 10^8$ [m/s] の (1/4) $\lambda$ 線路長[m]
5	0.05	0.5	0.75	1
10	0.1	0.25	0.375	0.5
50	0.5	0.05	0.075	0.1
80	0.8	0.03125	0.0375	0.0625
100	1	0.025	0.0375	0.05
300	3	0.008325	0.012485	0.01665
500	5	0.005	0.0075	0.01
1000 (1GHz)	10	0.0025	0.00375	0.005
10000 (10GHz)	100	0.00025	0.000375	0.0005
100GHz	1000	25 $\mu$ m	37.5 $\mu$ m	50 $\mu$ m

## 【0100】

次にパルス波形の性質を図26に従って説明する。パルスは正弦波の合成で出来ている。基本正弦波に3倍の周波数を持つ25%前後の正弦波、5倍の10%程度の正弦波、数%の7倍高調波、1%前後の9倍高調波でパルス波形が概略成り立っている。スリューレートが高いほど高次高調波の成分が大きくなる。

## 【0101】

一般論として小さなエネルギーの高調波でも共振条件になるとエネルギーが蓄積され、無視できない大きさとなることから、1GHzのパルスを取り扱うときは10GHz(



パルスクロック周波数の10倍)正弦波の考慮が必要といわれている。表1はその観点で見ると2列目の相当正弦波を基準にして考えて左1列目のクロック周波数としている。

#### 【0102】

1GHzクロック周波数では配線長さはSiO<sub>2</sub>内で5mmとなる。2002.2のSymposium on VLSI CircuitのIntelの論文(D. Deleagnes, et al, “Designing a 3GHz, 130 nm, Pentium 4 Processor,” 2002 Symposium on VLSI Circuit Digest of Technical Papers, CDR00-7803-7310-3/02, 2002.2)はチップ内配線を1.6mm以内に制限した設計となっている。これを裏づける資料である。(Pentiumはインテルコーポレーションの登録商標である。)10GHzのパルスでは0.5mmということになる。10GHzでは100GHzのRF回路と同等の周波数を取り扱って、単独正弦波又は狭帯域正弦波を取り扱うRF設計より合成波を取り扱う設計は格段に難しいということになる。

#### 【0103】

以上の前提条件でチップ上の配線の設計が制限されなければならない。従来のCADツールで行える一般の集中定数回路で設計した回路ブロック(機能ブロック)の最大配線長は0.5mm以下にする必要があり、機能ブロックの規模はこの配線長で制限される。回路ブロック間をつなぐ配線(これをグローバル配線と呼ぶ)は全て図4や図25の伝送線路構造としなければならない。全ては配線から始まった設計としなければならない。

#### 【0104】

さて、従来設計の集中定数回路ブロックの電源グラウンドは従来設計でよいが、その集中定数回路ブロックから出てくる電源グラウンド線は本発明の構造を適用する。すなわち、電源グラウンドペア伝送線路とし、特性インピーダンスを考慮しながら拡大合流させていく。グローバル配線に適用するドライバ・レシーバブロックの電源系はすべて本特許の構造を適用し、トランジスタのソース、またはドレインに直接接続されていることは言うまでもない。

#### 【0105】

特にクロック分配回路は信号線の対称構造伝送線路化(一例：ツリー構造)だけ

でなく電源グランドペア伝送線路も対称構造とし、クロックスキューを最小限にすることを含むものとする。

#### 【0106】

チップ内で合流した太い配線を終わりにして直流接続としたいときは図22のように太い、電源グランドペア伝送線路50の配線端面にチップキャパシタ120を散りばめて接続する。このチップキャパシタ120はチップ内に形成されたpn接合キャパシタでもよいが、好ましくは金属対向電極構造のキャパシタが望ましい。その理由はすでに説明したようにpn接続キャパシタ内のキャリア速度が遅いためである。

#### 【0107】

以上、配線構造について詳細に説明したが、ドライバトランジスタ10の電磁波進行を円滑にすることが、上述した配線構造と組み合わせ、高速信号に対応する電源供給構造を得る上で重要である。そこで、図3のドライバトランジスタ10の構造を更に改良した、ドライバトランジスタ10Aの構造について図27を参照して説明する。

#### 【0108】

図3のドライバトランジスタ10の構造では、電源グランドペア伝送線路20のグランド線23はドレイン側のP<sup>+</sup>層7にコンタクトしており、信号グランドペア伝送線路30のグランド線32がソース側のP<sup>+</sup>層8にコンタクトしている。この点は同じであるが、図27のドライバトランジスタ10Aについては、P<sup>+</sup>層7とP<sup>+</sup>層8とが、ドレイン層3からソース層4に至る領域下に設けられたP<sup>+</sup>層160を介して互いに連結されている点が異なっている。P<sup>+</sup>層160はPウェル2より高不純物濃度の拡散層で形成され、Pウェル2に比して低抵抗である。

#### 【0109】

このドライバトランジスタの基本原理を示したのが図28である。電源グランドペア伝送線路20のグランド線23と信号グランドペア伝送線路30のグランド線32が低抵抗のP<sup>+</sup>層7, 8, 160で連結されているので、ドライバトランジスタ10Aがオンになり、チャネル領域が反転して電流路が形成されると、

全ての部分でペア伝送線路構造が保たれる。

#### 【0110】

構造上の特性インピーダンスはソース側の伝送線路と整合すれば理想であるが、必ずしも整合条件は不要である。非常に短い距離のためである。また、図27のドレイン層3及びソース層4と、P<sup>+</sup>層160との間の距離dは0でもよい。また、P<sup>+</sup>層160下の半導体は不要のため、絶縁物層構造、すなわちSOI (Silicon On Insulator) 構造としてよい。ドレイン層3及びソース層4下のpn接合容量を排除するため、ドレイン層3及びソース層4と、P<sup>+</sup>層160との間の層を絶縁物で構成してもよい。さらにP<sup>+</sup>層7, 8, 160は全て金属で置き換えてもよい。これにより、電源グランドペア伝送線路20のグランド線23と信号グランドペア伝送線路30のグランド線32は金属で一体化される。要は、図28の基本原理を守る構造を提案するものである。

#### 【0111】

図29はSOI構造のCMOSドライバ140を示す断面図である。このCMOSドライバ140の回路は図25に示したものである。絶縁基板170上にPチャネル型MOSトランジスタ141及びNチャネル型MOSトランジスタ142が形成されており、この絶縁基板170内に、電源グランドペア伝送線路143のグランド線と信号グランドペア伝送線路147のグランド配線を接続するA1層171が形成されている。

#### 【0112】

この構造において、dはソース層／ドレイン層の拡散層深さ程度の厚みが必要であるが、pn接合容量が生じてSOIの利点がなくなるため、d層は絶縁物とするほうが望ましい。また、Nチャネル型MOSトランジスタ142がオンのとき、出力負荷側に終端抵抗146を付加したのでは全く電荷が動かない、すなわち、Nチャネル型MOSトランジスタ142が不要な回路となることから、CMOSとしての利点を生かすためにはCMOSドライバ側にダンピング抵抗145を設ける方がより良い設計といえる。

#### 【0113】

さらに付け加えると、入力信号もペア伝送線路172で供給することにより、

そのグランド線は出力系のグランドに落ちることで、ゲートチャージ、ゲート下チャンネル形成が起こり、その下のグランドレベルがバランスするため、ドライバトランジスタ 10A のチャンネル形成が促進されるという利点がある。

#### 【0114】

##### 【発明の効果】

本発明の電子回路装置によれば、GHz帯を超える高速信号に対応可能な電源供給構造を有する電子回路装置を提供することができる。

##### 【図面の簡単な説明】

##### 【図1】

伝送線路のLCはしご等価回路を示す図である。

##### 【図2】

ドライバトランジスタに電源グランドペア伝送線路が接続されている構造を示す斜視図である。

##### 【図3】

図2の断面構造を示す図である。

##### 【図4】

ドライバ・レシーバ回路の回路図である。

##### 【図5】

伝送線路の各種の構造を示す図である。

##### 【図6】

3ドライバへの電源供給構造を示す等価回路図である。

##### 【図7】

スタックトペア線路で作った3ドライバの電源グランドペア伝送線路の一例を示す図である。

##### 【図8】

電源グランドペア伝送線路合流点の電磁波進行シミュレーションを示す図である。

##### 【図9】

3ドライバの1つが先行動作したときのシミュレーション結果を示す図である。

**【図 1 0】**

電源グランドペア伝送線路の特性インピーダンス  $Z_0$ ps が小さい場合のシミュレーションを示す図である。

**【図 1 1】**

ドライバトランジスタのオンするタイミングがずれた場合のシミュレーション結果を示す図である。

**【図 1 2】**

ネットワーク分岐配線のシミュレーション結果を示す図である。

**【図 1 3】**

ネットワーク分岐配線の平面図である。

**【図 1 4】**

ネットワーク分岐配線の平面図である。

**【図 1 5】**

ネットワーク分岐配線の平面図である。

**【図 1 6】**

ネットワーク分岐配線の平面図である。

**【図 1 7】**

電源グランドペア伝送線路の 90° 折り曲げ構造を示す図である。

**【図 1 8】**

高周波エネルギーを吸収する抵抗キャパシタ回路を示す概念図である。

**【図 1 9】**

高周波エネルギーを吸収する抵抗キャパシタ回路を示す平面図である。

**【図 2 0】**

高周波エネルギーを吸収する他の抵抗キャパシタ回路を示す概念図である。

**【図 2 1】**

方向性結合器を有する電源グランドペア伝送線路を示す図である。

**【図 2 2】**

元電源グランドペア伝送線路の終端を示す構造例を示す図である。

## 【図 23】

ドライバの電流波形と電源グランドペア伝送線路を経た電流波形を示す図である。

## 【図 24】

フリップチップにおける電源グランド接続構造の一例を示す図である。

## 【図 25】

ドライバ・レシーバ回路の回路図である。

## 【図 26】

パルス波形の分解(Fourier級数)の説明図である。

## 【図 27】

ドライバトランジスタ構造の断面図である。

## 【図 28】

図 27 の基本原理を示す回路モデル図である。

## 【図 29】

伝送線路構造で構成したCMOSドライバの断面図である。

## 【符号の説明】

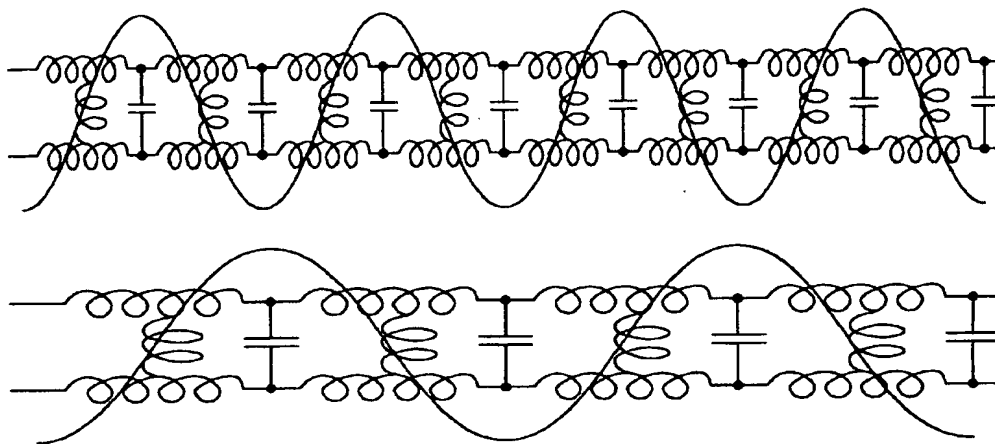
- |                           |                   |                  |
|---------------------------|-------------------|------------------|
| 1 半導体基板                   | 2 P ウェル           | 3 ドレイン層          |
| 4 ソース層                    | 5 ゲート絶縁膜          | 6 ゲート電極          |
| 7, 8 P <sup>+</sup> 層     | 9 a, 9 b 絶縁層      |                  |
| 10, 10 a ドライバトランジスタ       | 20 電源グランドペア伝送線路   |                  |
| 21 絶縁層                    | 22 電源線            | 22 a, 23 a 接続コラム |
| 23 グランド線                  | 24 絶縁層            | 30 信号グランドペア伝送線路  |
| 31 信号線                    | 31 a, 32 a 接続コラム  | 32 グランド線         |
| 40 レシーバトランジスタ             | 41 電源グランドペア伝送線路   |                  |
| 42 信号グランドペア伝送線路           | 50 元電源グランドペア伝送線路  |                  |
| 50 a, 50 c 電源線            | 50 b, 50 d グランド線  |                  |
| 51, 52, 53 分岐電源グランドペア伝送線路 |                   |                  |
| 55, 56, 57 ドライバトランジスタ     | 58, 59, 60 信号グランド |                  |

## ペア伝送線路

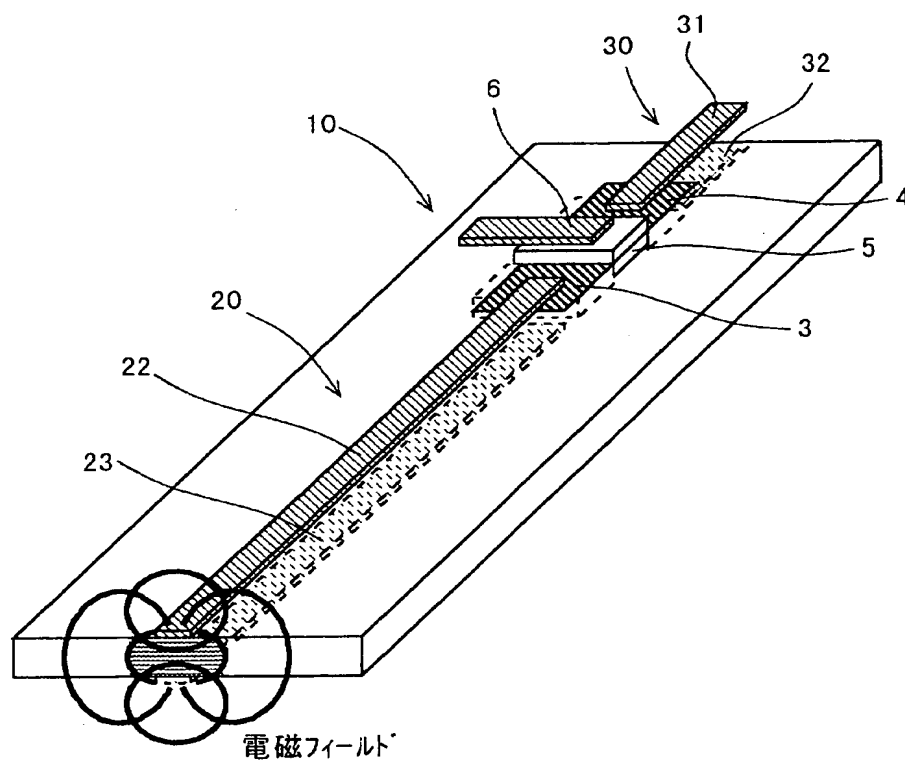
61a～61e 分岐電源グランドペア伝送線路      62 ネットワーク配線  
63a, 63b, 63c 分岐電源グランドペア伝送線路  
64, 65a, 65b, 65c ネットワーク配線  
66 電源グランドペア伝送線路      67 分岐配線      70 1層配線  
71 2層配線      72 3層配線      73 4層配線  
74, 75 ビアホール      76 アンチビアホール  
81, 82 キャパシタ電極      83a, 83b 抵抗  
84 絞込み部      85 拡大部      91, 92 キャパシタ  
93 抵抗      94, 96 縦コラム      95, 97 引き出し部  
101, 102 チップ・キャパシタ      103 抵抗  
110 方向性結合器      111 絶縁層      112 終端抵抗  
120 チップキャパシタ      121 電解コンデンサ  
130 チップ      131 隣接ペア線路      132 コラム  
133 バンプ      134 分岐電源グランドペア伝送線路  
135 元電源グランドペア伝送線路      136 バンプ  
140 CMOSドライバ      141 Pチャネル型MOSトランジスタ  
142 Nチャネル型MOSトランジスタ  
143 電源グランドペア伝送線路      144 信号グランドペア伝送線路  
145 ダンピング抵抗      146 終端抵抗  
147 信号グランドペア伝送線路      150 作動レシーバ  
151, 152 作動入力トランジスタ      153 電源グランドペア伝送線路  
160 P<sup>+</sup>層      170 絶縁基板      171 A1層

【書類名】 図面

【図 1】

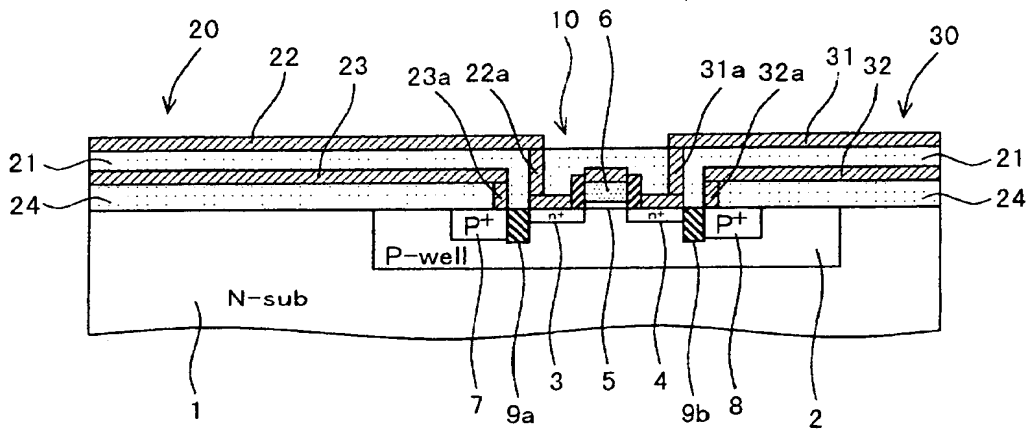


【図 2】

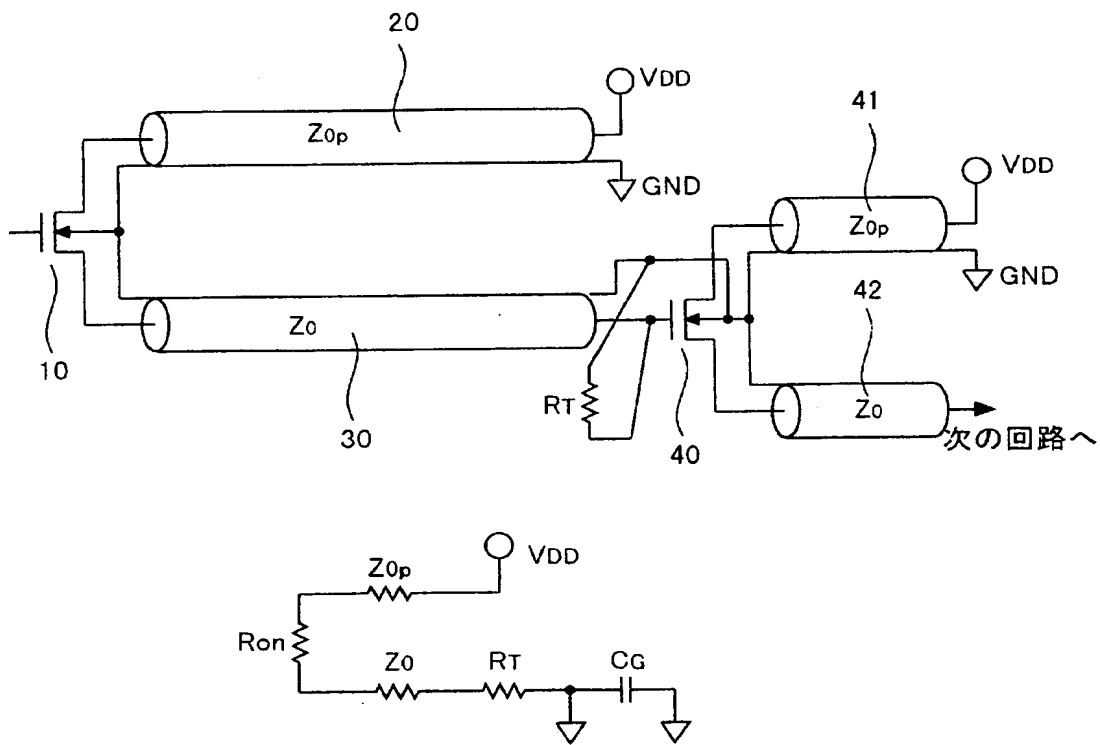




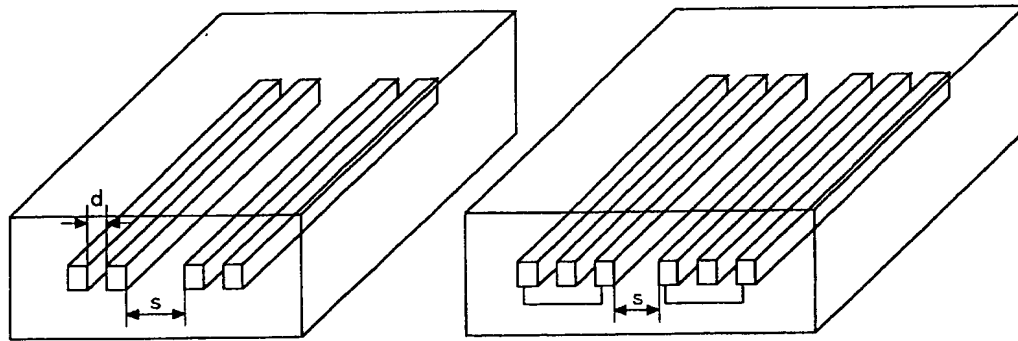
【図 3】



【図 4】

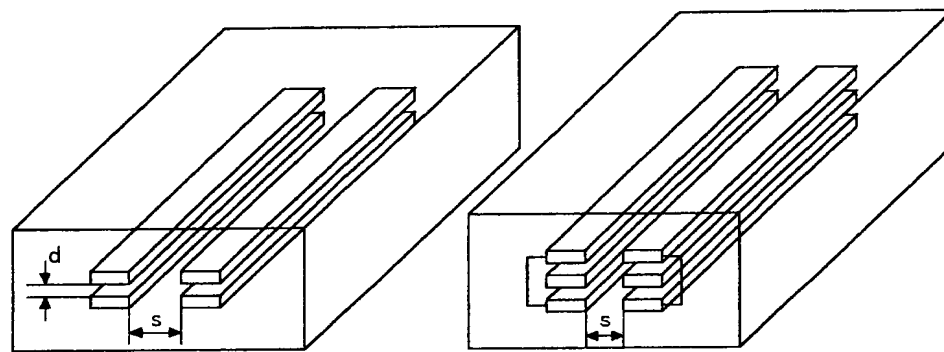


【図 5】



(a)ペアコプレーナ線路

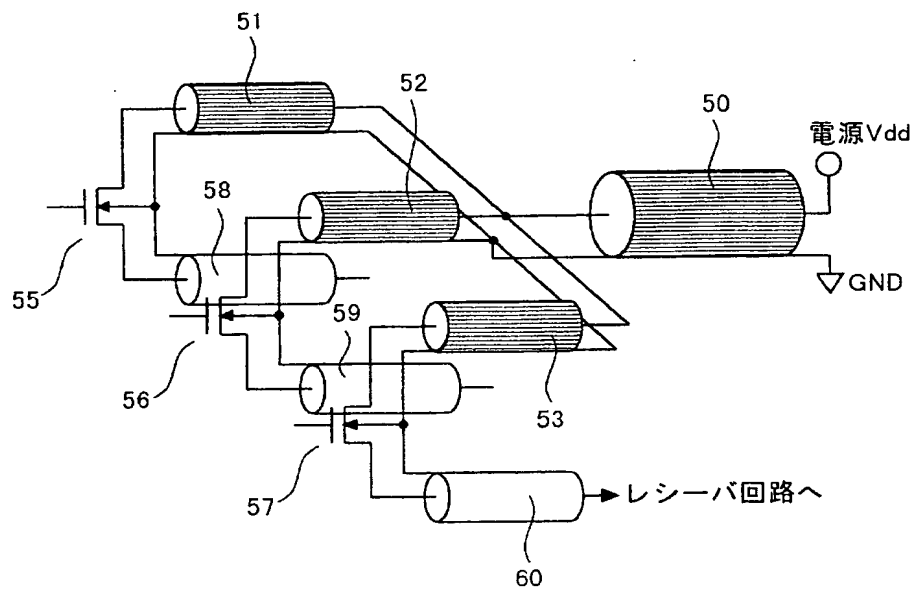
(b)ガードコプレーナ線路（両端コモン）



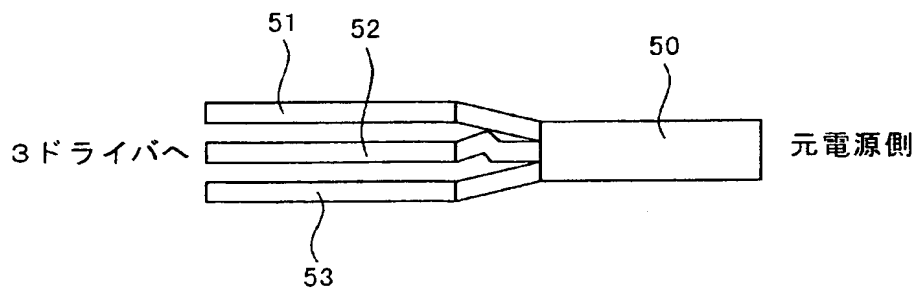
(c)スタックトペア線路

(d)ガードスタックトペア線路（上下コモン）

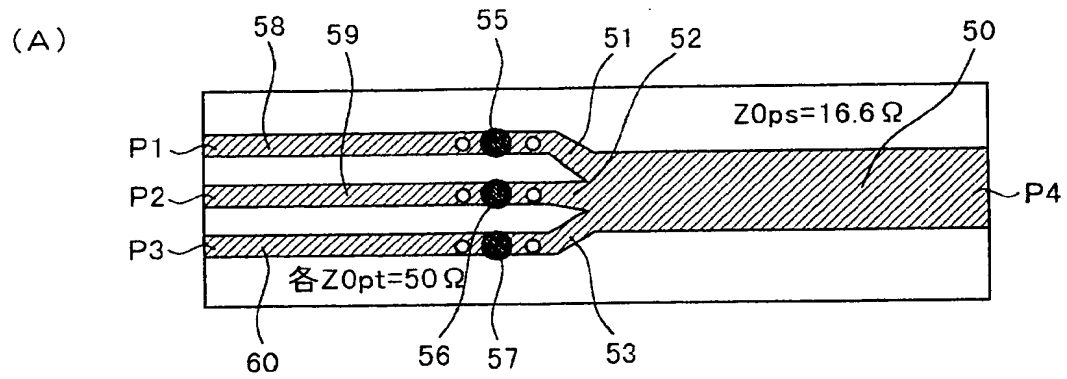
【図 6】



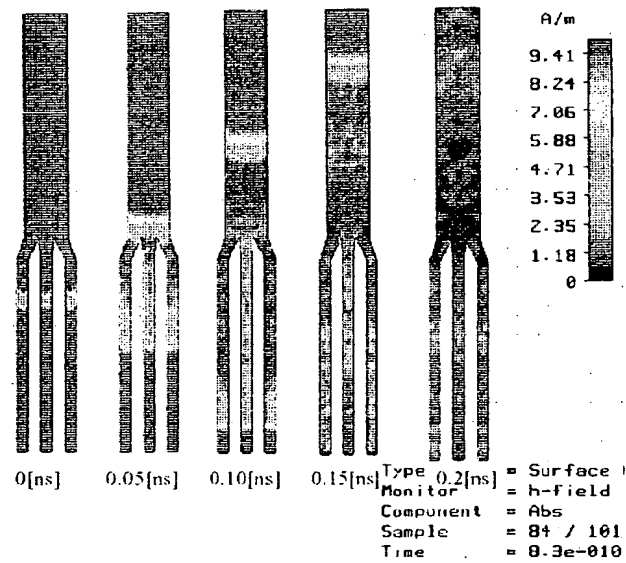
【図 7】



【図 8】

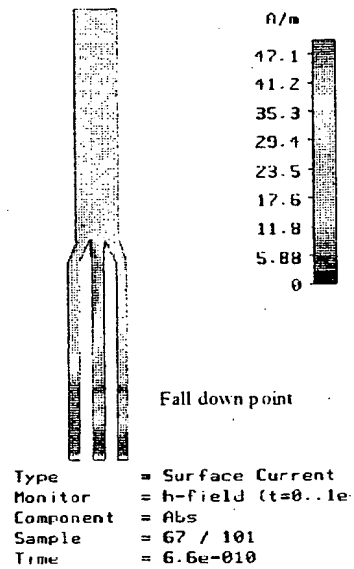


(B)



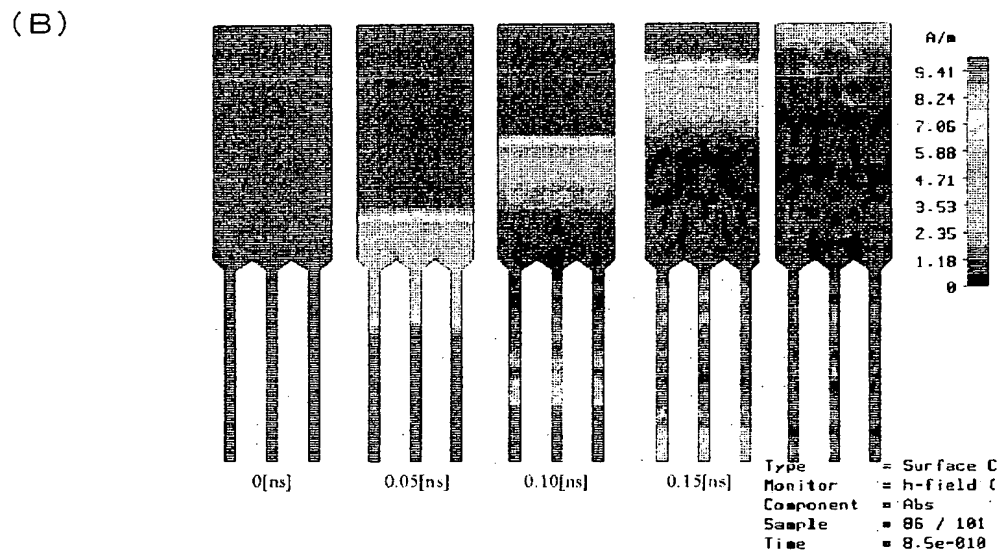
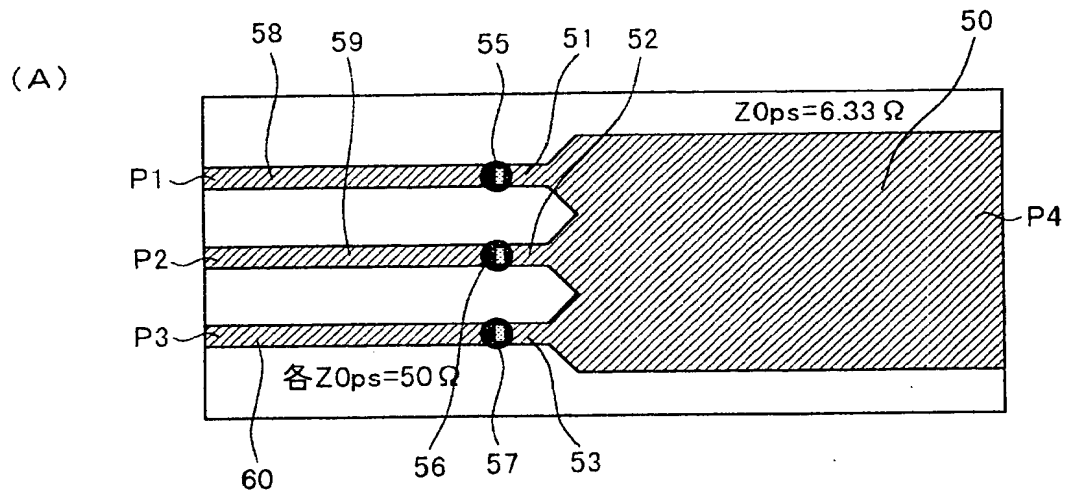
電源グラントペア伝送線路合流点の  
電磁波進行シミュレーション

【図 9】



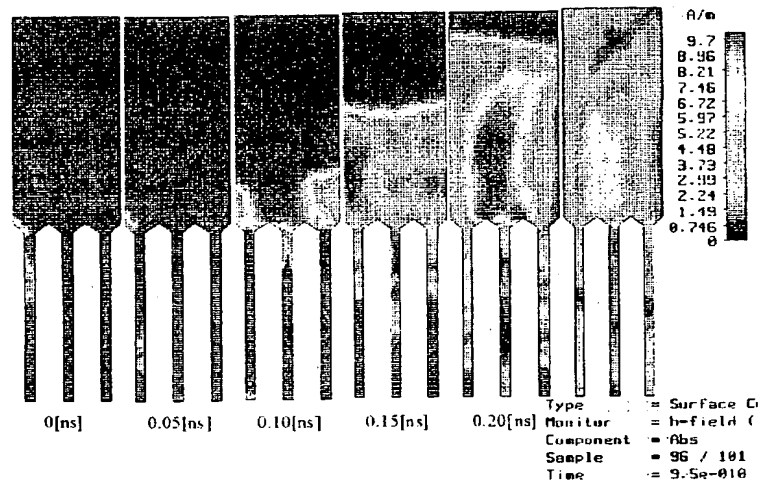
3ドライバトランジスタの2つが先行してオンした場合の  
電磁波進行シミュレーション

【図 10】



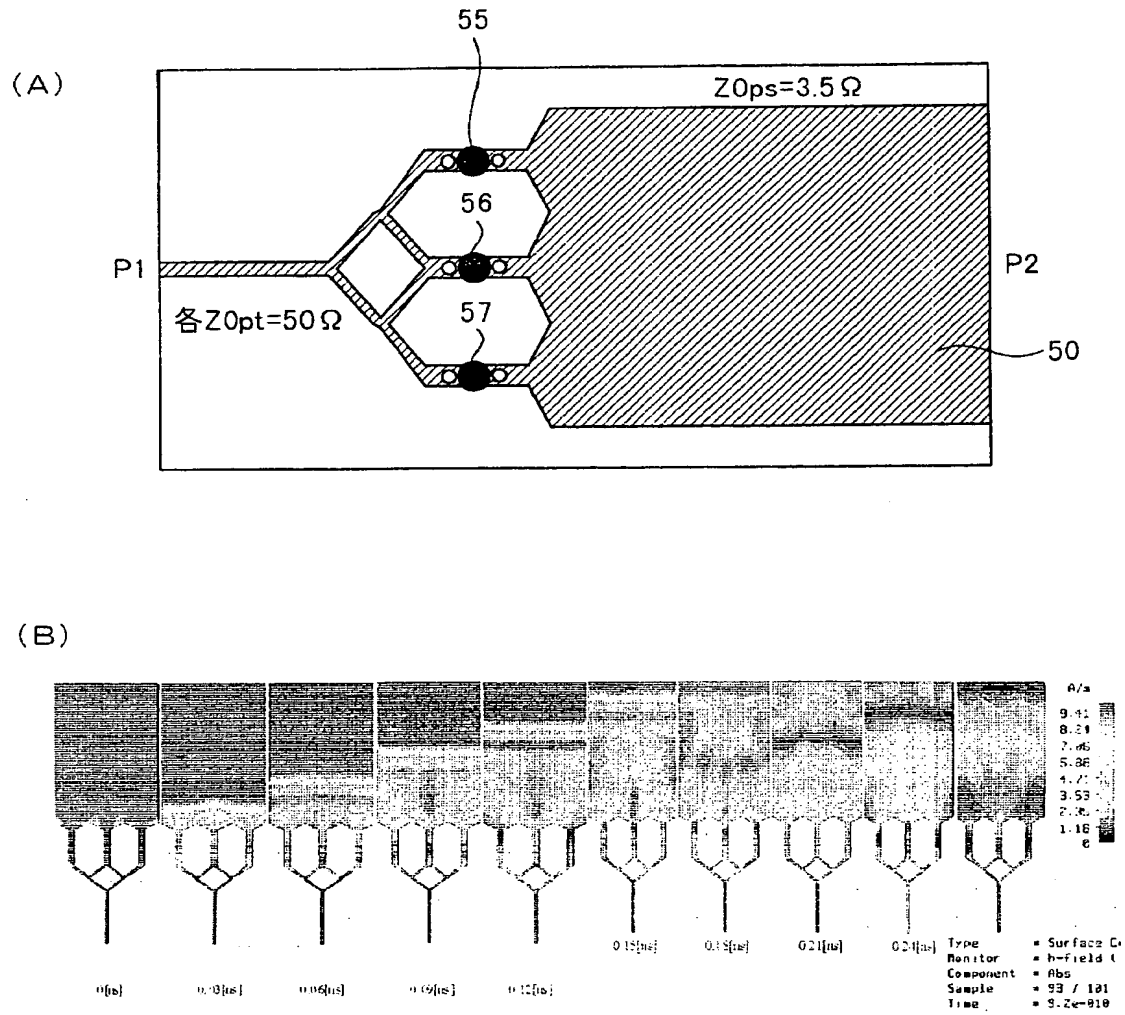
電源グラントへア伝送線路合流点の  
電磁波進行シミュレーション

【図 11】



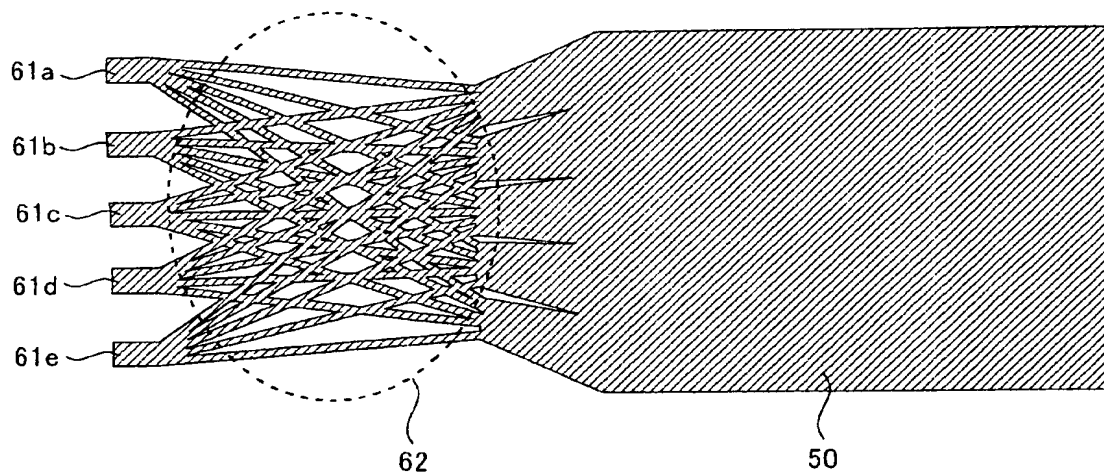
電源グランドヘア伝送線路合流点の  
電磁波進行シミュレーション

【図 12】

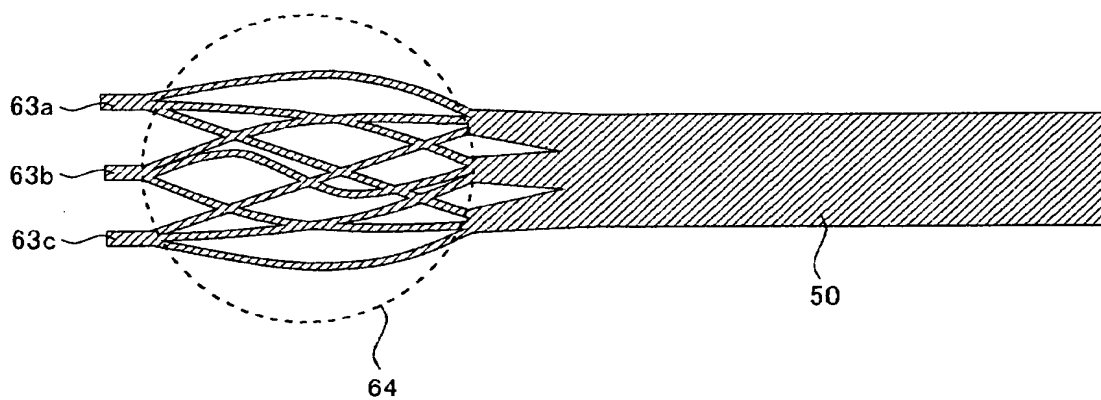




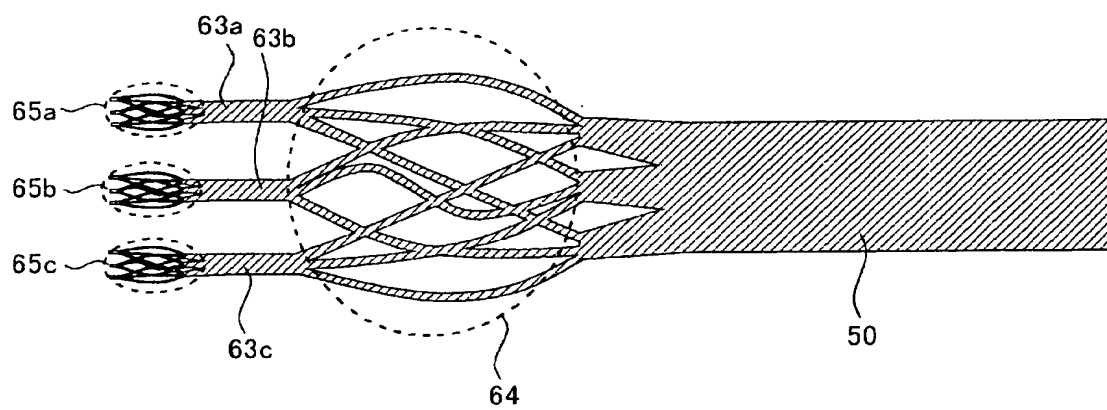
【図 13】



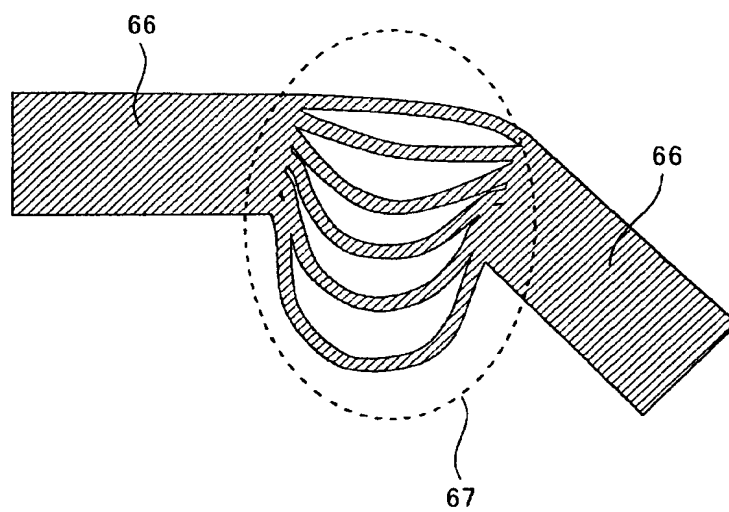
【図 14】



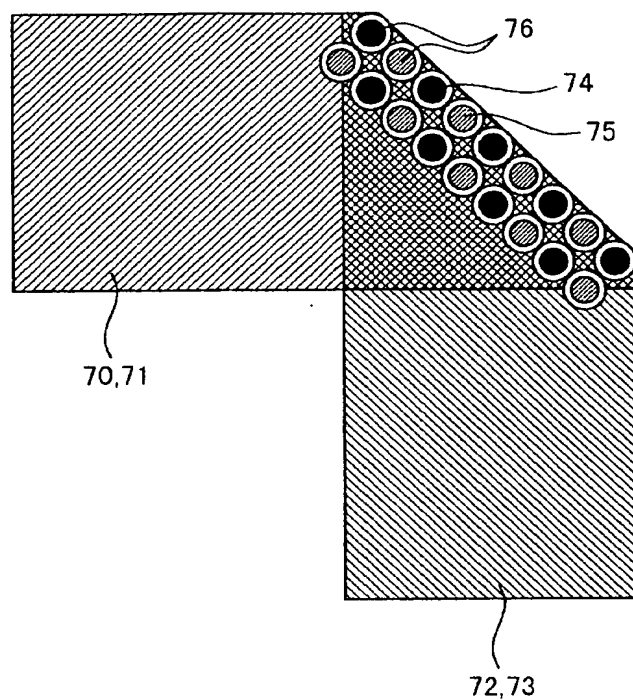
【図 15】



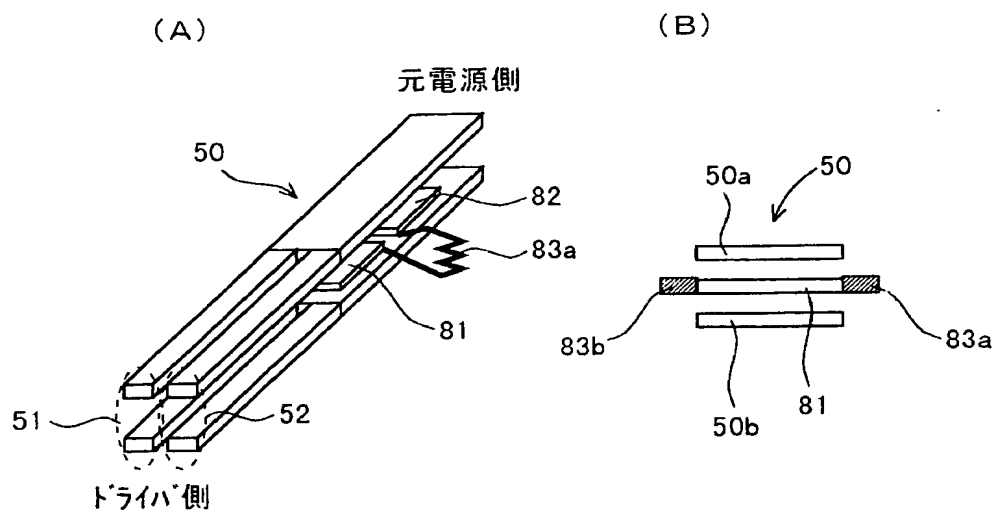
【図 16】



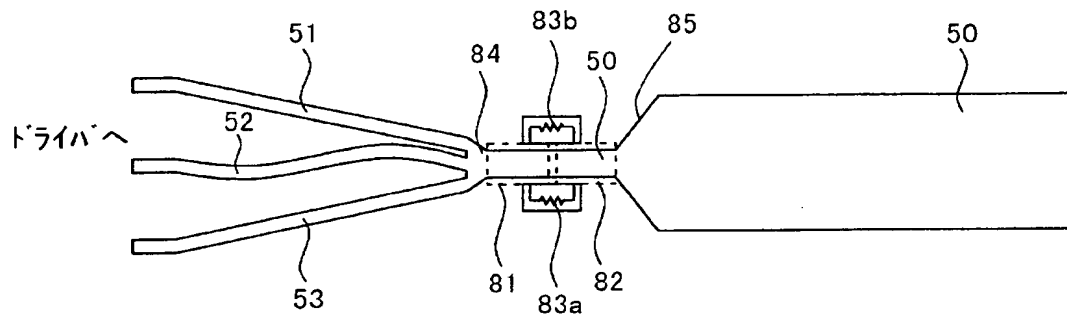
【図 17】



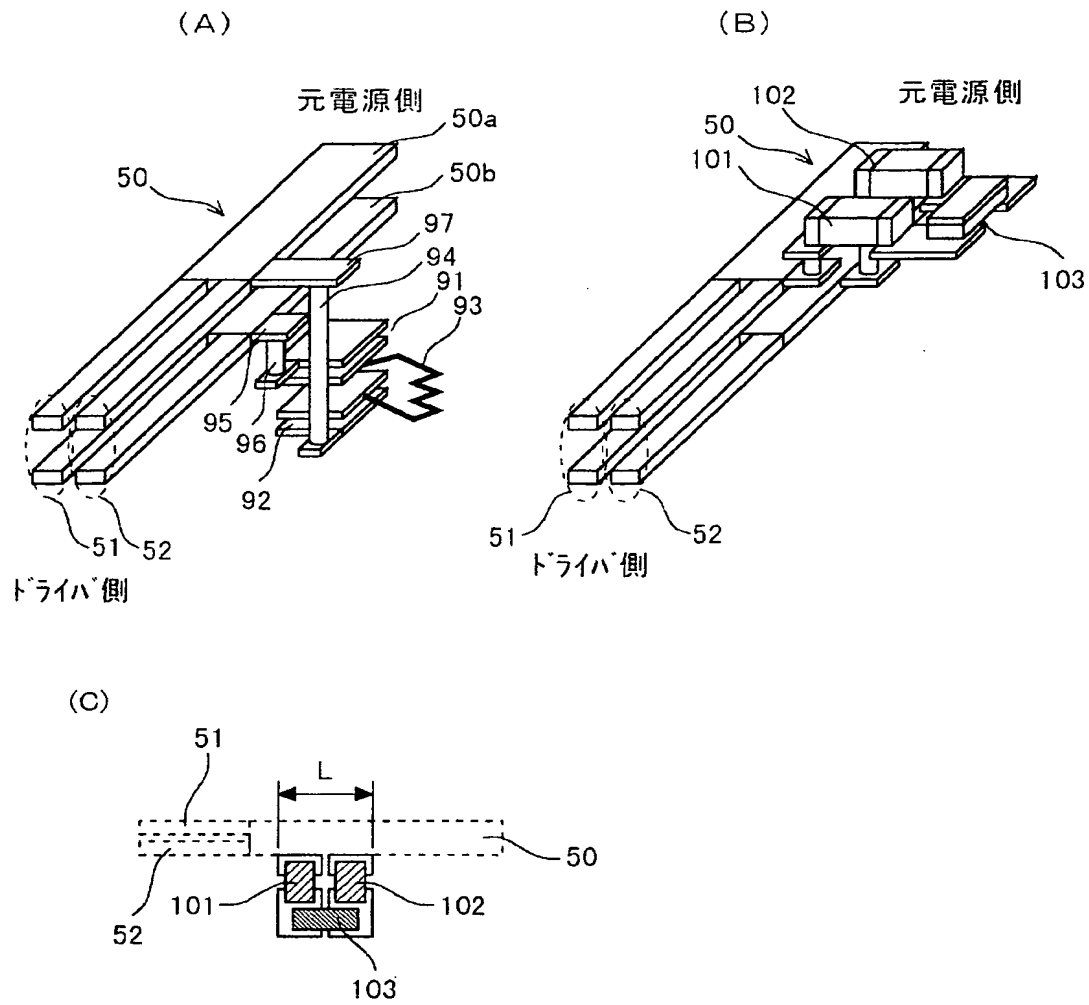
【図 18】



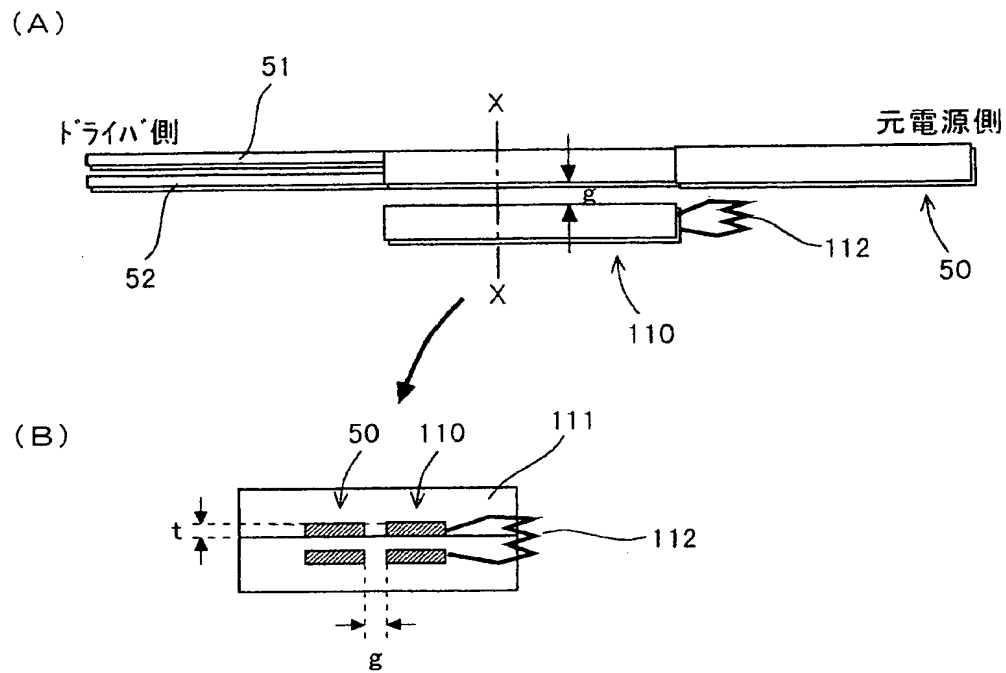
【図 19】



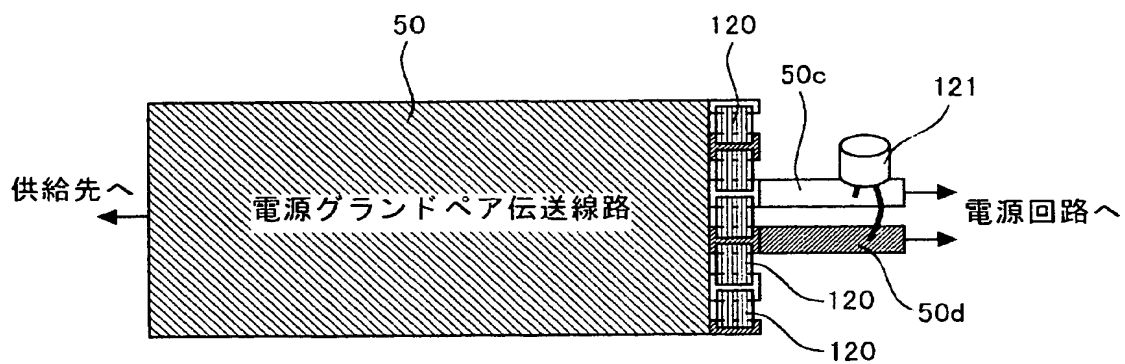
【図 20】



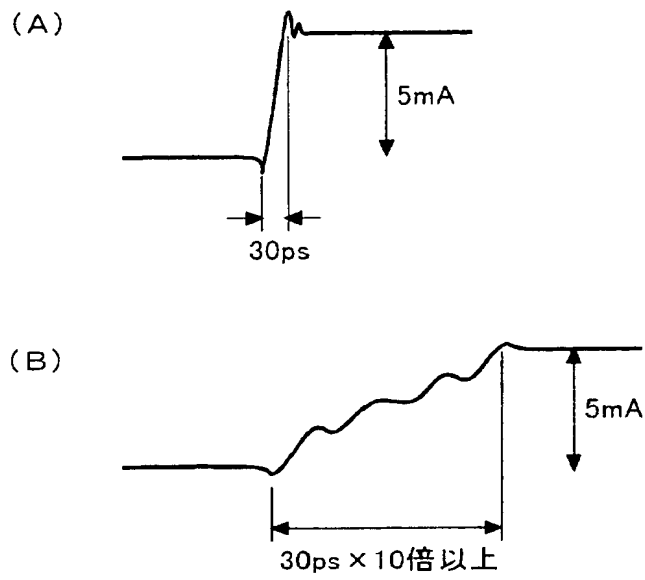
【図 2 1】



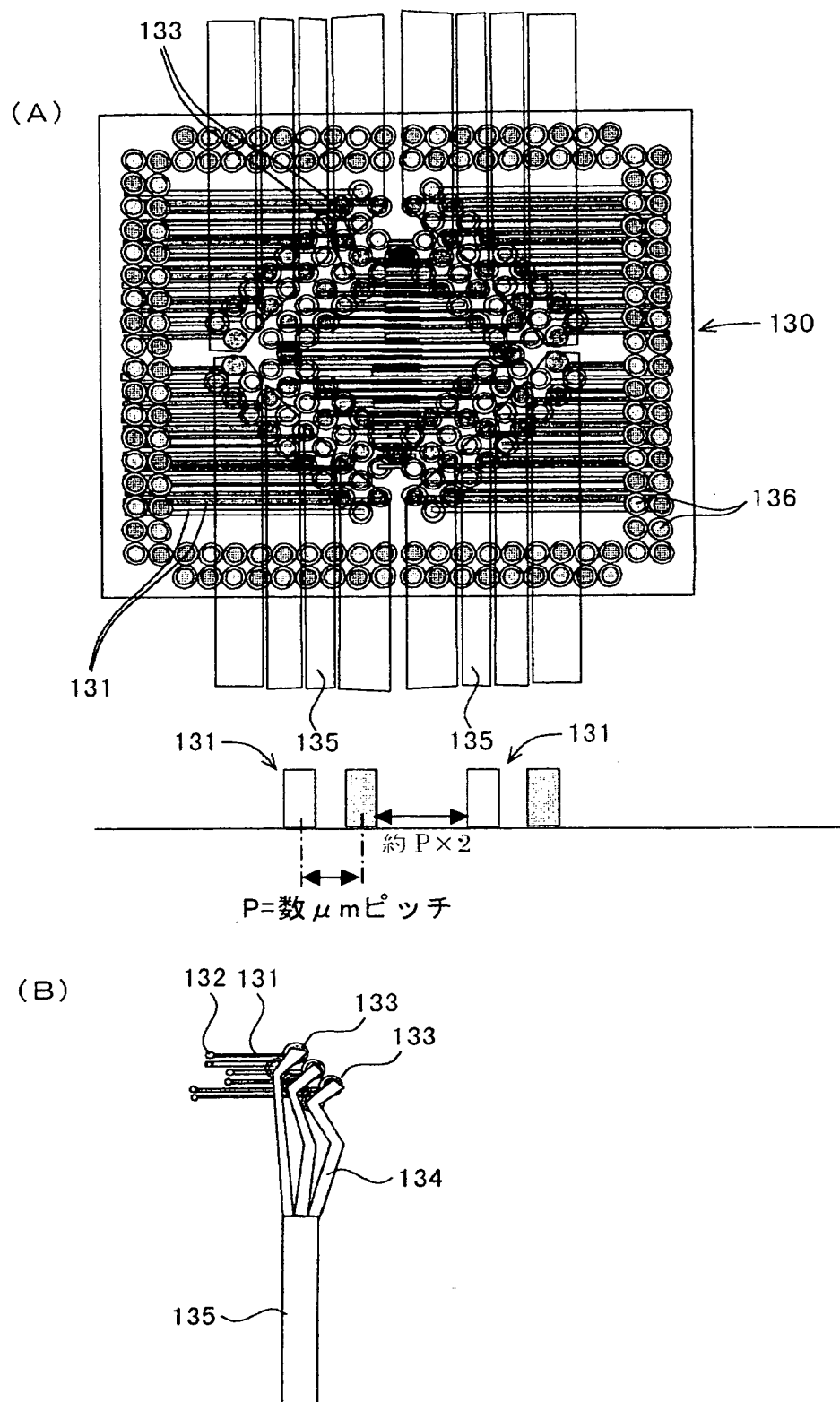
【図 2 2】



【図 23】

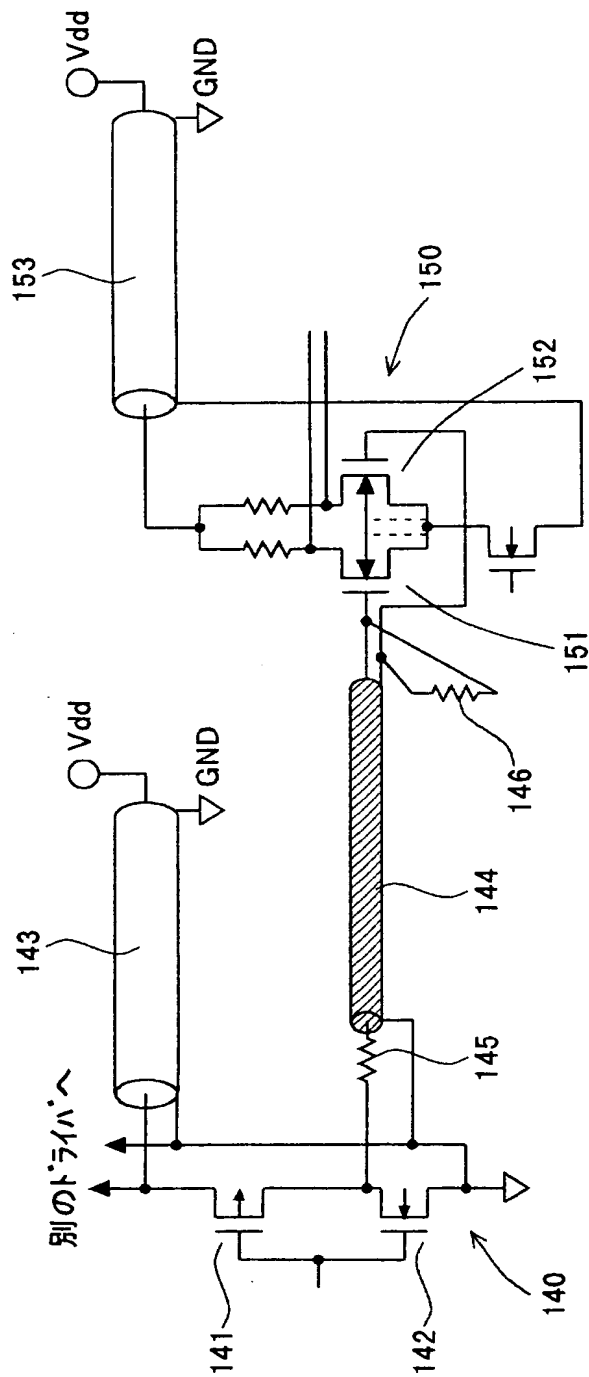


【図 24】

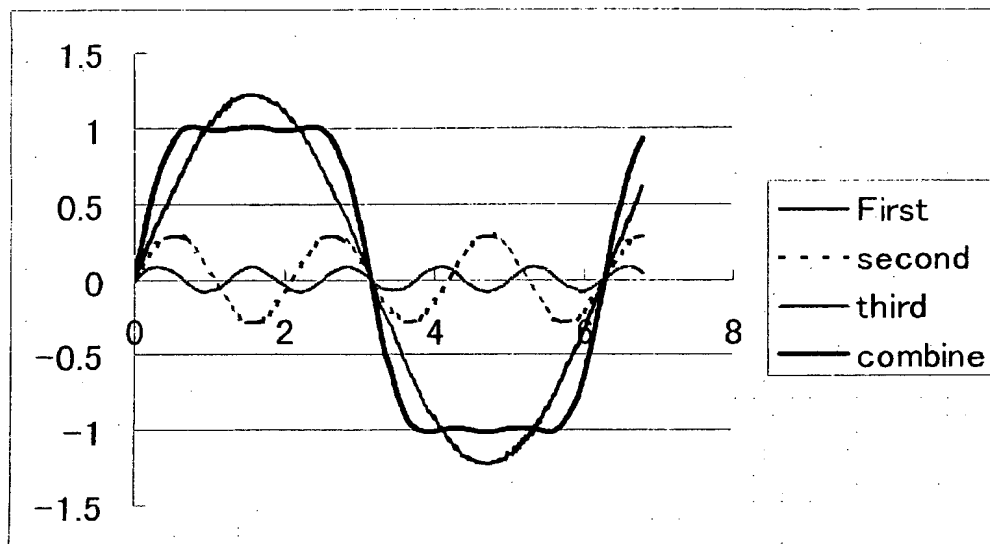




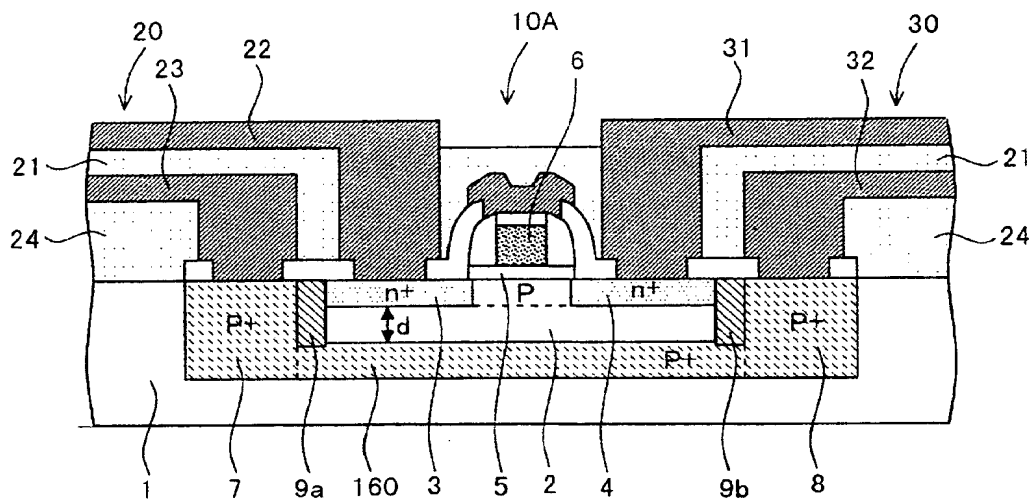
【図 25】



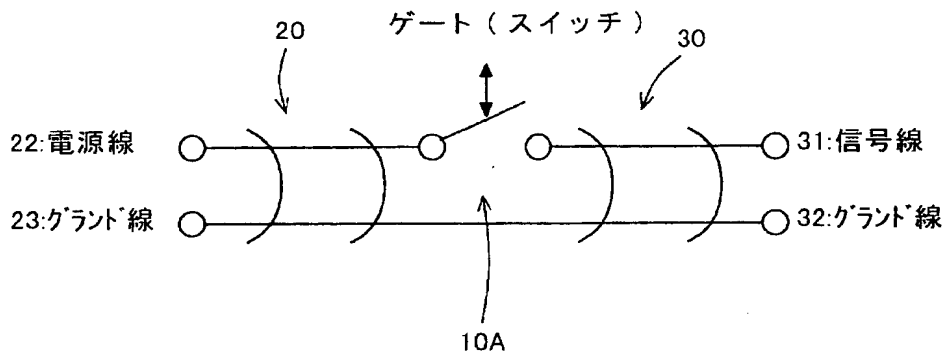
【図 26】



【図 27】



【図 2 8】





【書類名】 要約書

【要約】

【課題】 GHz帯を超える高速信号に対応可能な電源供給構造を有する電子回路装置を提供する。

【解決手段】 ドライバトランジスタ 1 0 は半導体基板 1 の表面に形成される。この半導体基板 1 上に、ドライバトランジスタ 1 0 に電源供給する電源グランドペア伝送線路 2 0 と、レシーバに信号伝送する信号グランドペア伝送線路 3 0 が形成される。そして、電源グランドペア伝送線路 2 0 はドライバトランジスタのドレイン層 3、P ウエル 2 中の P + 層 7 にそれぞれ接続される。また、信号グランドペア伝送線路 3 0 は、ドライバトランジスタ 1 0 のソース層 4、P ウエル 2 中の P + 層 8 にそれぞれ接続される。

【選択図】 図 3

## 認定・付加情報

特許出願の番号	特願 2003-045422
受付番号	50300288565
書類名	特許願
担当官	鈴木 夏生 6890
作成日	平成 15 年 3 月 4 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	598042633
【住所又は居所】	東京都東大和市湖畔 2-1074-38
【氏名又は名称】	大塚 寛治

## 【特許出願人】

【識別番号】	598168807
【住所又は居所】	東京都国分寺市西町 2-38-4
【氏名又は名称】	宇佐美 保

## 【特許出願人】

【識別番号】	000001889
【住所又は居所】	大阪府守口市京阪本通 2 丁目 5 番 5 号
【氏名又は名称】	三洋電機株式会社

## 【特許出願人】

【識別番号】	000000295
【住所又は居所】	東京都港区虎ノ門 1 丁目 7 番 12 号
【氏名又は名称】	沖電気工業株式会社

## 【特許出願人】

【識別番号】	000005049
【住所又は居所】	大阪府大阪市阿倍野区長池町 22 番 22 号
【氏名又は名称】	シャープ株式会社

## 【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 35 号
【氏名又は名称】	ソニー株式会社

## 【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

次頁有

## 認定・付加情報（続き）

## 【特許出願人】

【識別番号】 000004237  
【住所又は居所】 東京都港区芝五丁目 7 番 1 号  
【氏名又は名称】 日本電気株式会社

## 【特許出願人】

【識別番号】 000005108  
【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地  
【氏名又は名称】 株式会社日立製作所

## 【特許出願人】

【識別番号】 000005821  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
【氏名又は名称】 松下電器産業株式会社

## 【特許出願人】

【識別番号】 000006013  
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号  
【氏名又は名称】 三菱電機株式会社

## 【特許出願人】

【識別番号】 000005223  
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
【氏名又は名称】 富士通株式会社

## 【特許出願人】

【識別番号】 000116024  
【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地  
【氏名又は名称】 ローム株式会社

## 【代理人】

申請人  
【識別番号】 100107906  
【住所又は居所】 群馬県太田市小舞木町 3 8 8    OKビル 2    2 階  
                    須藤国際特許事務所  
【氏名又は名称】 須藤 克彦

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 5 9 8 0 4 2 6 3 3 ]

1. 変更年月日	1 9 9 8 年 3 月 3 1 日
[変更理由]	新規登録
住 所	東京都東大和市湖畔 2 - 1 0 7 4 - 3 8
氏 名	大塚 寛治



特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 5 9 8 1 6 8 8 0 7 ]

1. 変更年月日	1 9 9 8 年 1 2 月 8 日
[変更理由]	新規登録
住 所	東京都国分寺市西町 2 - 3 8 - 4
氏 名	宇佐美 保

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社

特願 2003-045422

出願人履歴情報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所



特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社

特願 2 0 0 3 - 0 4 5 4 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 1 6 0 2 4 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社